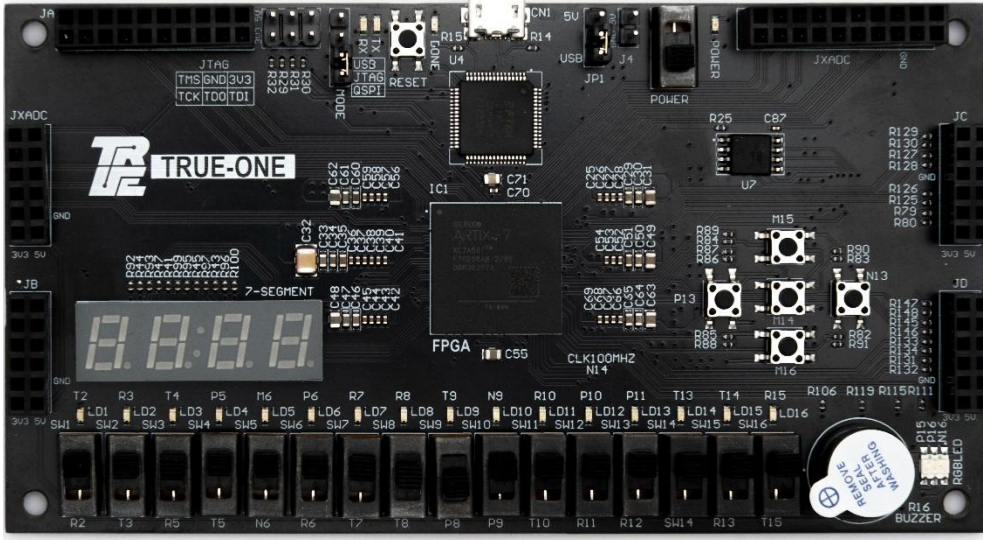


### 1. Ürüne Genel Bakış

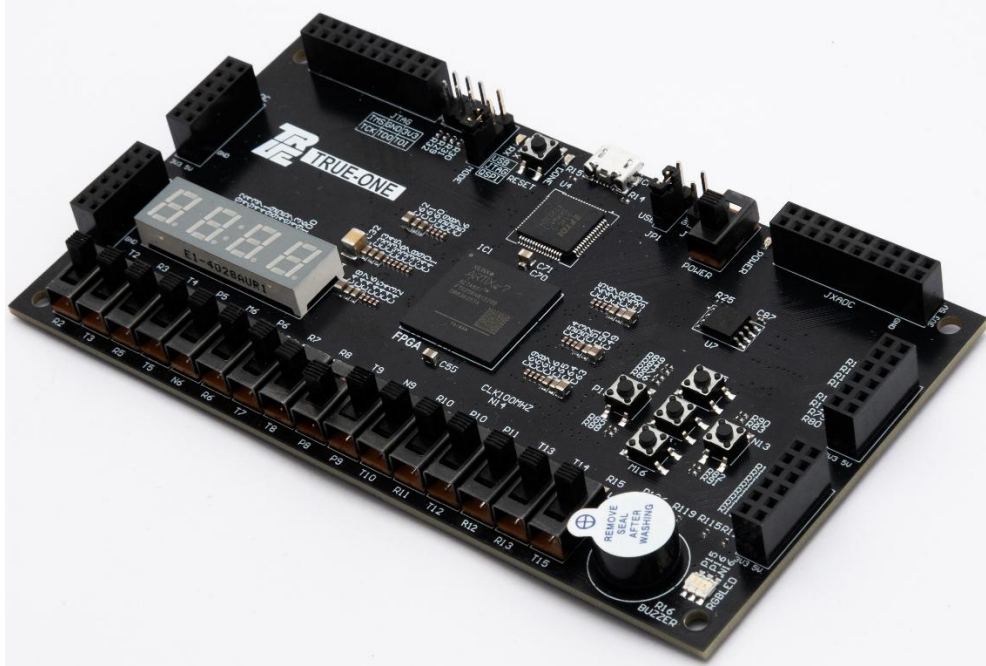
TRUE-ONE FPGA Geliştirme Kartı, yüksek performanslı dijital tasarımlar ve gömülü sistem uygulamaları geliştirmek amacıyla tasarlanmış, yerli üretim bir FPGA geliştirme platformudur. AMD Xilinx Artix-7 mimarisi temel alınarak geliştirilen kart, eğitim, Ar-Ge, hızlı prototipleme ve donanım doğrulama çalışmalarında ihtiyaç duyulan temel altyapıyı tek platform üzerinde sunmaktadır.

Kullanıcı dostu bir yapıya sahip olan TRUE-ONE, üzerinde bulunan çevresel donanımlar ve kullanıcı giriş/çıkış birimleri sayesinde çok sayıda FPGA tabanlı uygulamanın ek donanıma ihtiyaç duyulmadan geliştirilmesine ve test edilmesine olanak sağlar. Kart üzerinde yer alan programlama arabirimleri, bellek yapısı ve genişleme başlıkları hem başlangıç seviyesindeki uygulamalar hem de daha ileri düzey geliştirme çalışmaları için uygun bir kullanım sunmaktadır.

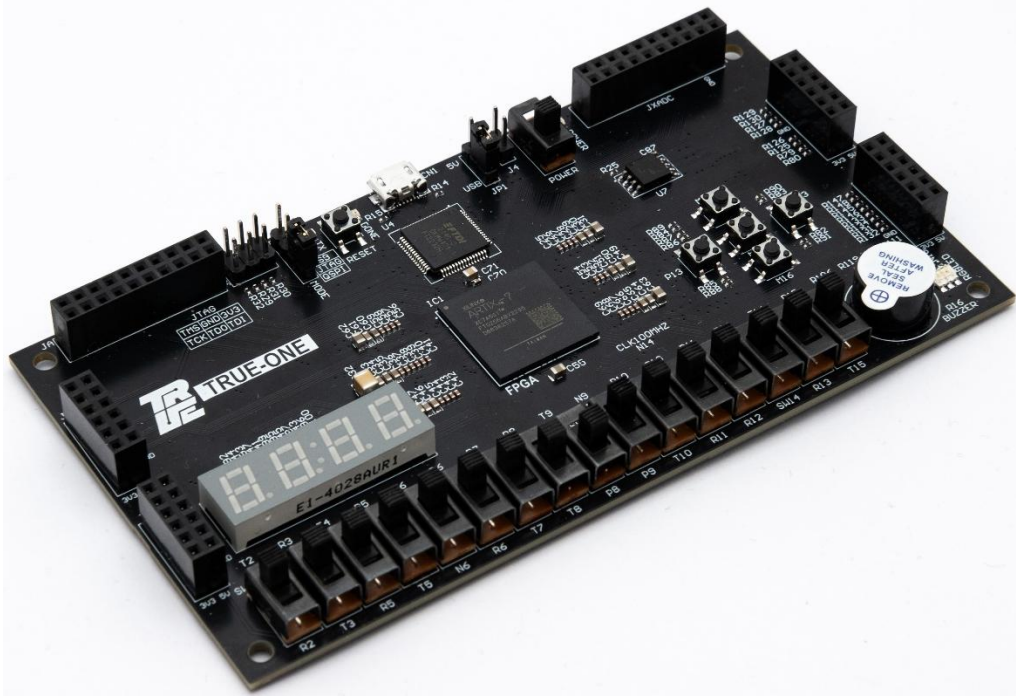
Kart üzerinde XC7A50T-1FTG256C FPGA yongası bulunmaktadır. Ayrıca sistem yapısında 1.0 V, 1.8 V ve 3.3 V gerilim seviyeleri kullanılmaktadır. 13 cm × 7 cm boyutlarındaki kompakt kart yapısı; masaüstü çalışma, laboratuvar kullanımı, eğitim uygulamaları ve ürün tanıtım süreçleri için uygun bir mekanik altyapı sağlamaktadır.



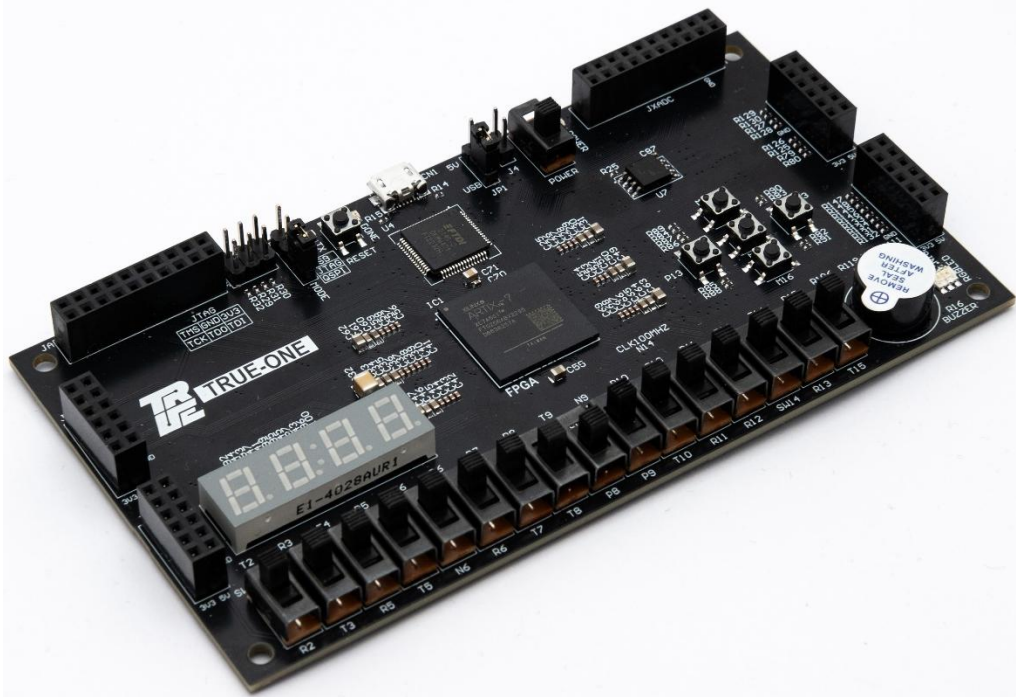
Şekil 1- 1: True-One Kartı (Ön Resmi)



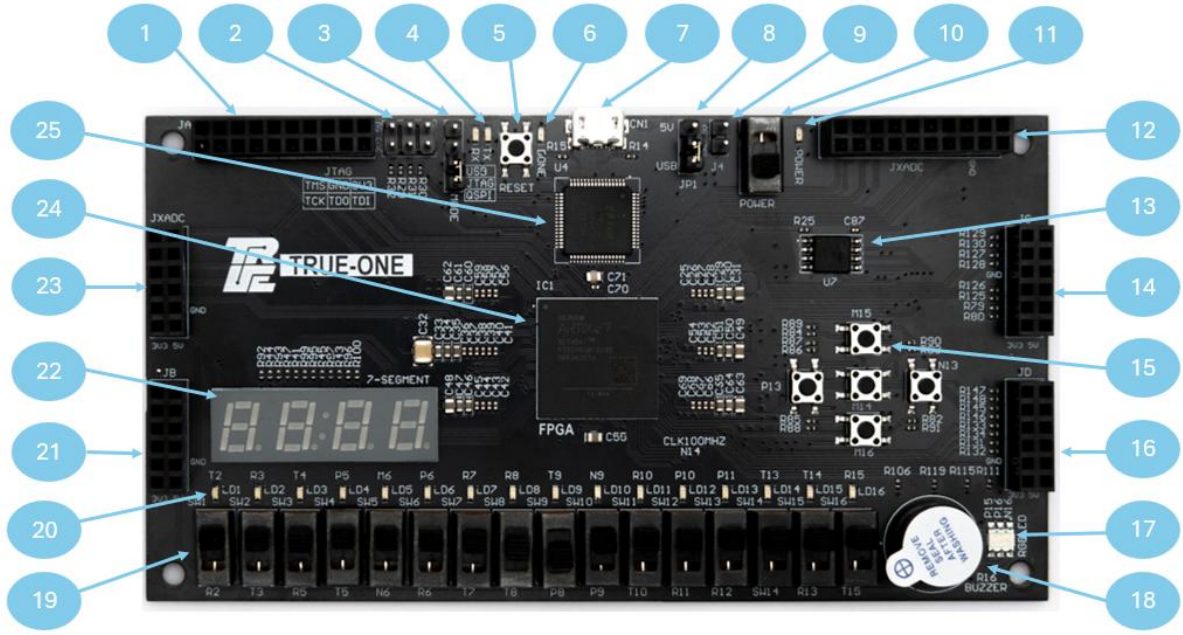
Şekil 1- 2: True-One Kartı (Sol Resmi)



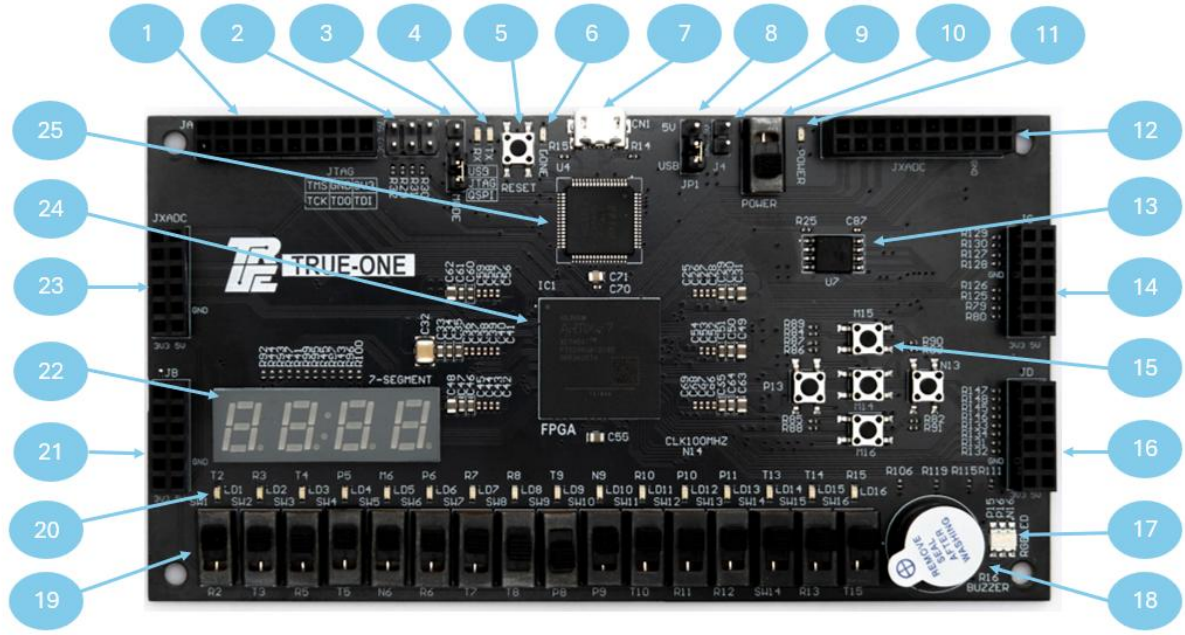
Şekil 1- 3: True-One Kartı (Sağ Resmi)



Şekil 1- 4: True-One Kartı (Arka Resmi)



<b>1</b>	2x20 JA Pin Header	<b>14</b>	2x6 JC Pin Header
<b>2</b>	JTAG Programlama	<b>15</b>	Push Buton
<b>3</b>	Programlama Modu	<b>16</b>	2x6 JD Pin Header
<b>4</b>	RX/TX Led	<b>17</b>	RGB Led
<b>5</b>	Reset Buton	<b>18</b>	Buzzer
<b>6</b>	Done Led	<b>19</b>	Kullanıcı Switch
<b>7</b>	UART/JTAG USB Port	<b>20</b>	Kullanıcı Led
<b>8</b>	Güç Modu	<b>21</b>	2x6 JB Pin Header
<b>9</b>	Harici Besleme	<b>22</b>	7-Segment
<b>10</b>	Güç Switch	<b>23</b>	2x6 JXADC Pin Header
<b>11</b>	Güç Led	<b>24</b>	FPGA XC7A50T-1FTG256C
<b>12</b>	2x20 JXADC Pin Header	<b>25</b>	FTDI FT2232HL-REEL
<b>13</b>	QSPI FLASH		



<b>1</b>	<b>JTAG Programlama</b>	<b>11</b>	<b>Push Buton</b>
<b>2</b>	<b>Programlama Modu</b>	<b>12</b>	<b>2x40 DAC Pin Header</b>
<b>3</b>	<b>RX/TX Led</b>	<b>13</b>	<b>Kullanıcı Led</b>
<b>4</b>	<b>Reset Buton</b>	<b>14</b>	<b>Buzzer</b>
<b>5</b>	<b>Done Led</b>	<b>15</b>	<b>RGB Led</b>
<b>6</b>	<b>UART/JTAG USB Port</b>	<b>16</b>	<b>Kullanıcı Switch</b>
<b>7</b>	<b>Güç Modu</b>	<b>17</b>	<b>7-Segment</b>
<b>8</b>	<b>Harici Besleme</b>	<b>18</b>	<b>2x40 DAC Pin Header</b>
<b>9</b>	<b>Güç Switch</b>	<b>19</b>	<b>FPGA XC7A50T-1FTG256C</b>
<b>10</b>	<b>Güç Led</b>		

## 2. FPGA YONGASI

TRUE-ONE FPGA geliştirme kartı üzerinde AMD Xilinx Artix-7 ailesine ait XC7A50T-1FTG256C FPGA yongası bulunmaktadır. Bu FPGA yongası, düşük güç tüketimi ile yüksek performansı bir arada sunan yapısı sayesinde eğitim, Ar-Ge, prototipleme ve sayısal tasarım uygulamaları için uygun bir altyapı sağlar.

XC7A50T modeli; mantık kaynakları, blok RAM kapasitesi, DSP birimleri ve dahili analog-dijital dönüştürücü yapısı ile çok sayıda FPGA tabanlı uygulamanın gerçekleştirilmesine imkân tanımaktadır. Kart üzerinde tercih edilen FTG256 paket yapısı ise kompakt kart tasarımlarında yeterli giriş/çıkış kapasitesi sunarken kart yerleşimi açısından da avantaj sağlamaktadır.

TRUE-ONE kartı üzerinde kullanılan Artix-7 FPGA yongası, kullanıcı giriş/çıkış birimlerinin kontrolü, zamanlama tabanlı tasarımlar, haberleşme uygulamaları, sayısal işaret işleme çözümleri ve harici modüller ile gerçekleştirilen geliştirmeler için uygun bir donanım altyapısı sunmaktadır.

### Artix-7 FPGAs

Transceiver Optimization at the Lowest Cost and Highest DSP Bandwidth (1.0V, 0.95V, 0.9V)									
	Part Number	XC7A12T	XC7A15T	XC7A25T	XC7A35T	XC7A50T	XC7A75T	XC7A100T	XC7A200T
Logic Resources	Logic Cells	12,800	16,640	23,360	33,280	52,160	75,520	101,440	215,360
	Slices	2,000	2,600	3,650	5,200	8,150	11,800	15,850	33,650
	CLB Flip-Flops	16,000	20,800	29,200	41,600	65,200	94,400	126,800	269,200
Memory Resources	Maximum Distributed RAM (Kb)	171	200	313	400	600	892	1,188	2,888
	Block RAM/FIFO w/ ECC (36 Kb each)	20	25	45	50	75	105	135	365
	Total Block RAM (Kb)	720	900	1,620	1,800	2,700	3,780	4,860	13,140
Clock Resources	CMTs (1 MMCM + 1 PLL)	3	5	3	5	5	6	6	10
I/O Resources	Maximum Single-Ended I/O	150	250	150	250	250	300	300	500
	Maximum Differential I/O Pairs	72	120	72	120	120	144	144	240
	DSP Slices	40	45	80	90	120	180	240	740
Embedded Hard IP Resources	PCIe® Gen2 <sup>(1)</sup>	1	1	1	1	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) <sup>(2)</sup>	2	4	4	4	4	8	8	16
Speed Grades	Commercial Temp (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
	Extended Temp (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrial Temp (I)	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L
	Package <sup>(3), (4)</sup>	Dimensions (mm)	Ball Pitch (mm)	Available User I/O: 3.3V SelectIO™ HR I/O (GTP Transceivers)					
	CPG236	10 x 10	0.5	106 (2)	106 (2)	106 (2)			
	CPG238	10 x 10	0.5	112 (2)	112 (2)				
	CSG324	15 x 15	0.8	210 (0)	210 (0)	210 (0)	210 (0)	210 (0)	
	CSG325	15 x 15	0.8	150 (2)	150 (4)	150 (4)	150 (4)		
	FTG256	17 x 17	1.0	170 (0)	170 (0)	170 (0)	170 (0)	170 (0)	

Şekil 2- 1: Kullanılan FPGA Ailesinin Özellikleri



Şekil 2- 2: Kart Üzerinde Bulunan Yonga

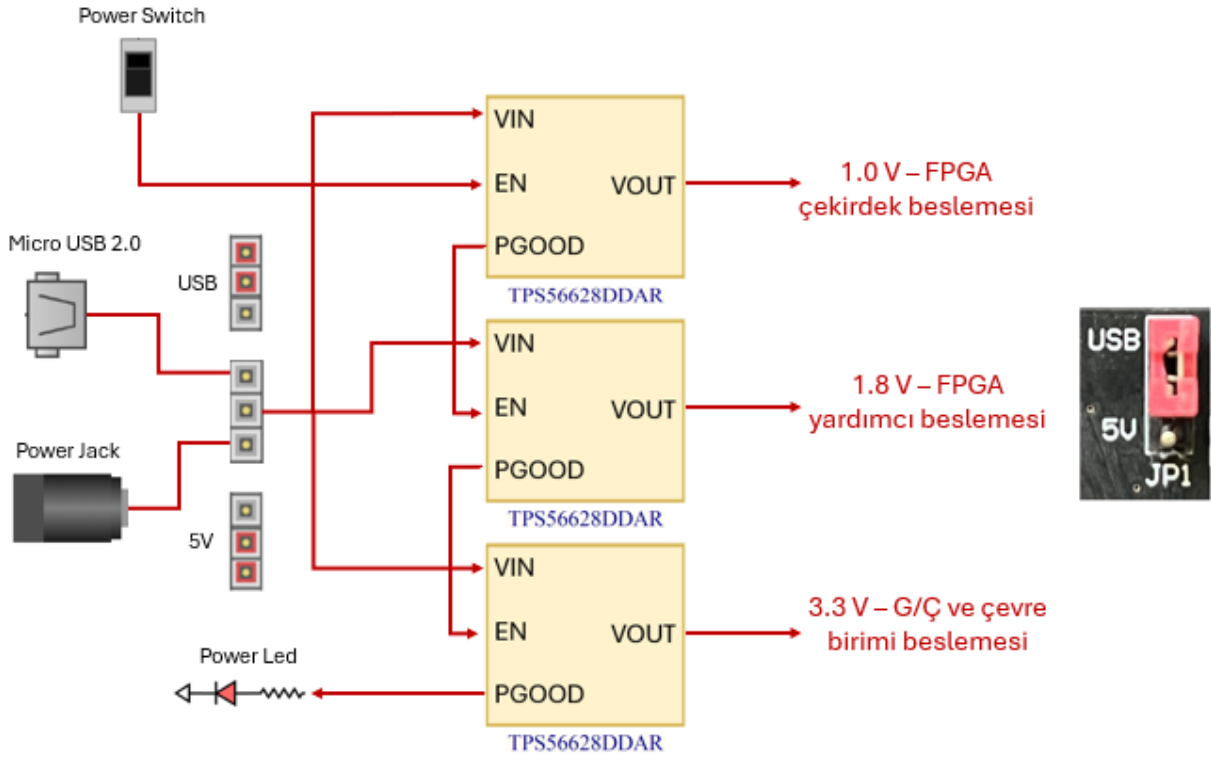
### 3. Güç Mimarisi ve Besleme Yapısı

TRUE-ONE FPGA geliştirme kartı, çalışma için gerekli besleme gerilimlerini kart üzerinde bulunan güç düzenleme yapısı üzerinden üretmektedir. Kartın besleme mimarisi, FPGA yongasının ve çevre birimlerinin ihtiyaç duyduğu temel gerilim seviyelerini kararlı ve güvenli biçimde sağlamak üzere tasarlanmıştır.

Kart üzerinde 1.0 V, 1.8 V ve 3.3 V olmak üzere üç temel besleme hattı bulunmaktadır. Bu gerilimler sırasıyla FPGA çekirdek yapısı, yardımcı besleme hatları ve giriş/çıkış çevre birimlerinin çalıştırılması için kullanılmaktadır.

Kartın güç açılış yapısı sıralı etkinleştirme mantığına göre tasarlanmıştır. Güç anahtarından gelen etkinleştirme sinyali ile ilk olarak 1.0 V regülatörü devreye girmektedir. Ardından bu regülatörün Power Good (PG) çıkışı kullanılarak 1.8 V regülatörü etkinleştirilmektedir. Son aşamada ise 3.3 V besleme hattı üretilmektedir. Bu yapı sayesinde güç rayları kontrollü bir sırada oluşmakta ve sistemin kararlı biçimde başlatılması sağlanmaktadır.

Kart üzerinde kullanılan güç dönüştürücüleri TPS56628DDAR serisindedir. Her bir regülatör ilgili gerilim hattını üretmek üzere yapılandırılmıştır.



Şekil 3- 1: TRUE-One Güç Mimarisi Blok Diyagramı

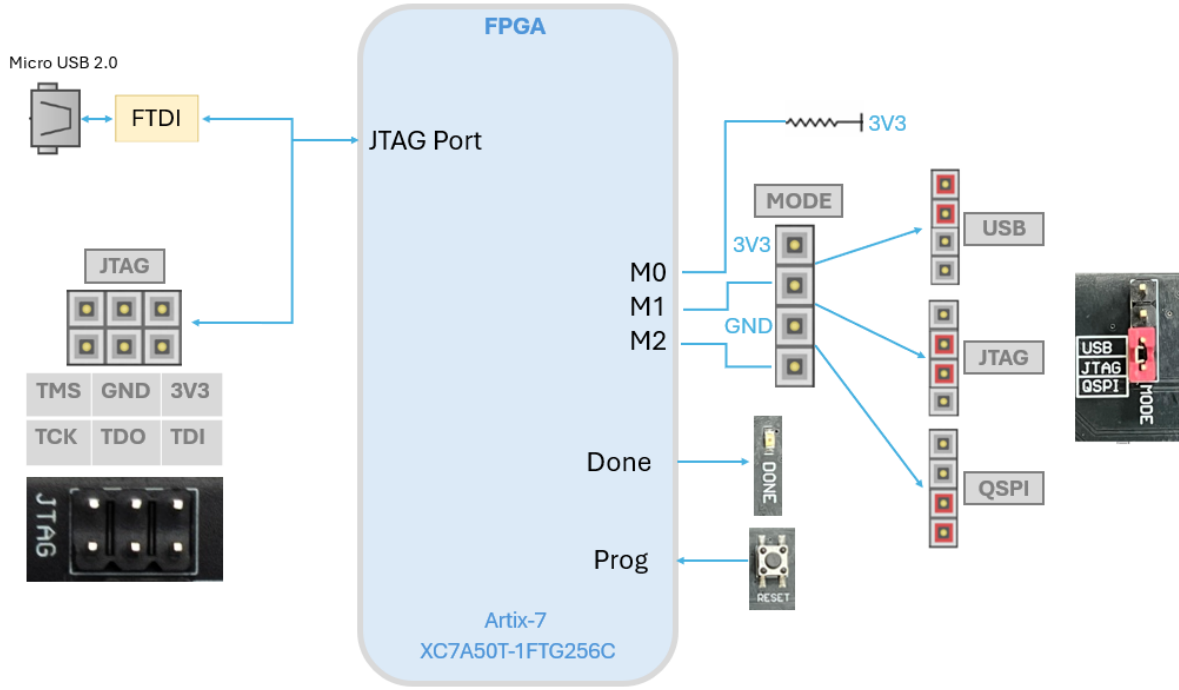
## 4. Konfigürasyon Modları

TRUE-ONE FPGA geliştirme kartı üzerinde bulunan Artix-7 FPGA yongasının güç verildikten sonra çalışabilmesi için bir konfigürasyon dosyası ile programlanması gerekmektedir. Bu konfigürasyon verisi, FPGA yongasının içerisinde gerçekleştirilecek mantık işlevlerini ve devre bağlantılarını tanımlayan bitstream dosyasıdır. Vivado tasarım ortamında oluşturulan bu dosya, karta farklı yöntemlerle yüklenebilir.

JTAG konfigürasyonunda, bitstream dosyası bilgisayar üzerinden USB-JTAG arayüzü kullanılarak doğrudan FPGA yongasına yüklenir. Bu yöntem geliştirme ve hata ayıklama süreçlerinde hızlı ve pratik bir kullanım sağlar. Ancak bu şekilde yüklenen konfigürasyon geçicidir; kartın enerjisi kesildiğinde FPGA içerisindeki yapı silinir.

QSPI Flash konfigürasyonunda ise bitstream dosyası kart üzerinde bulunan flash belleğe yazılır. Güç verildiğinde FPGA, uygun konfigürasyon ayarları altında bu bellekte saklanan veriyi okuyarak otomatik olarak başlatır. Bu yöntem kalıcı uygulamalar, demo çalışmaları ve her açılıшта otomatik başlatma gerektiren senaryolar için uygundur.

TRUE-ONE kartına ait konfigürasyon seçenekleri ve ilgili donanım yapısı aşağıdaki şekilde gösterilmektedir.

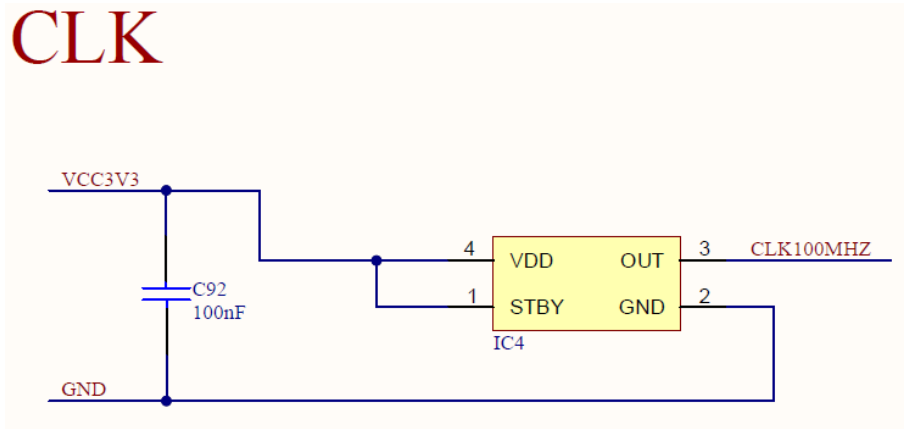


Şekil 4- 1: TRUE-ONE Konfigürasyon Modları Bağlantı Yapısı

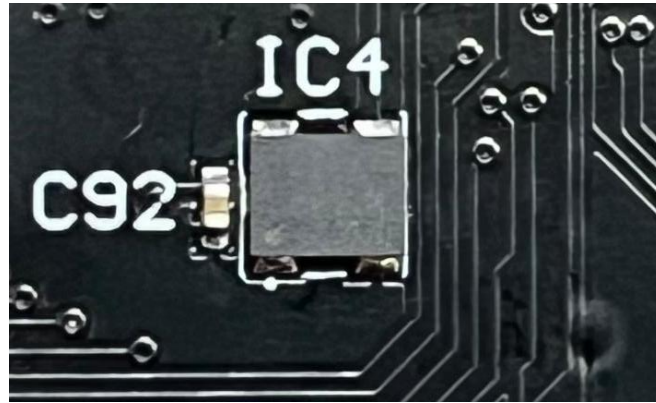
## 5. Saat Kaynağı

TRUE-ONE FPGA geliştirme kartı üzerinde sistem saat kaynağı olarak 100 MHz frekansında bir osilatör bulunmaktadır. Kartta kullanılan osilatör modeli ASEM1-100.000MHZ-LC-T'dir. Bu osilatör tasarımlarda FPGA clock girişi olarak kullanılmak üzere karta entegre edilmiştir.

Geliştirilen uygulamaya bağlı olarak, FPGA yongasının içerisinde bulunan saat yönetim kaynakları kullanılarak bu 100 MHz giriş saatinden farklı frekanslar elde edilebilir. Böylece tasarımın ihtiyaç duyduğu farklı çalışma frekansları oluşturulabilir.



Şekil 5- 1: TRUE-ONE Sistem Saati Blok Diyagramı



Şekil 5- 2: Kart Üzerinde Bulunan Osilatör

Tablo 5- 1: CLK Pin Ataması

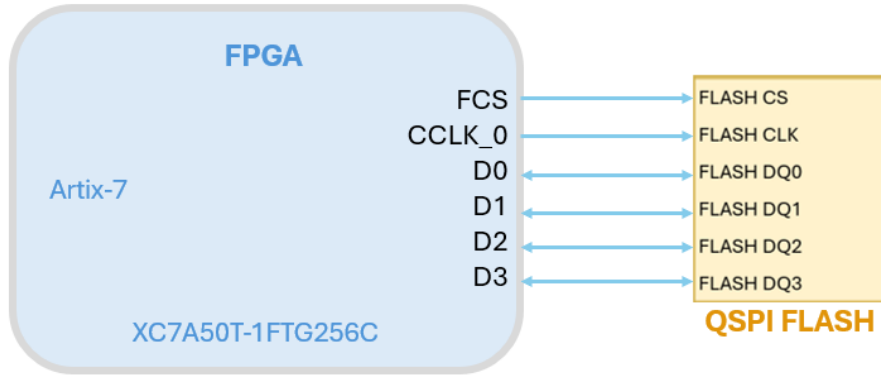
CLK Pin Adı	FPGA Pin Adı	FPGA Pin
CLK100MHZ	IO_L12P_T1_MRCC_14	N14

### 6. QSPI Flash Bellek

TRUE-ONE FPGA geliştirme kartı üzerinde, sistem konfigürasyonu ve kalıcı veri saklama amacıyla 128 Mbit kapasiteli QSPI Flash bellek bulunmaktadır. Kartta kullanılan flash bellek modeli Micron MT25QL128ABA1ESE-0SIT olup 3.3 V CMOS lojik seviyesinde çalışmaktadır.

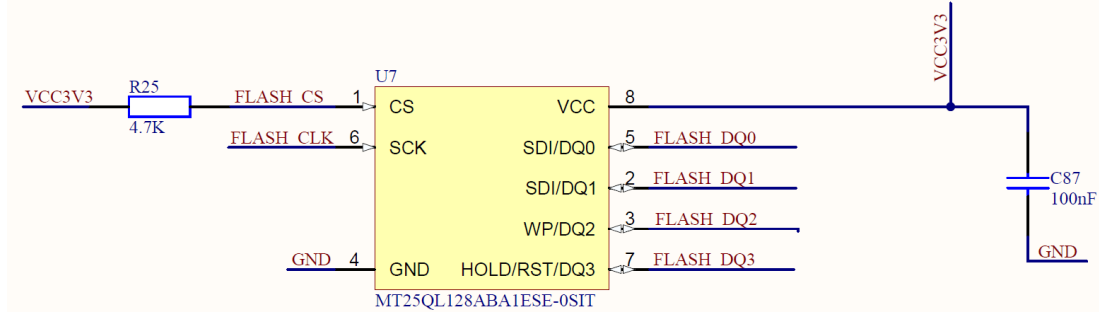
QSPI Flash bellek, kalıcı (non-volatile) yapısı sayesinde FPGA konfigürasyon verilerinin saklanmasında kullanılabilir. Uygun mod ayarları ile güç verildiğinde bu bellek üzerinde saklanan bitstream dosyasını otomatik olarak okuyarak başlatılabilir. Bu yapı sayesinde tasarım yalnızca JTAG üzerinden geçici olarak yüklenmekle kalmaz, aynı zamanda flash belleğe yazılarak karta her enerji verildiğinde FPGA yongası programlanabilir.

QSPI Flash bellek, FPGA yongasının konfigürasyon amacıyla ayrılmış özel pinlerine bağlıdır. Belleğe ait donanım bağlantısı ve ilgili hatlar şematik üzerinde gösterilmektedir.



Şekil 6- 1: TRUE-ONE QSPI Flash Bağlantı Yapısı

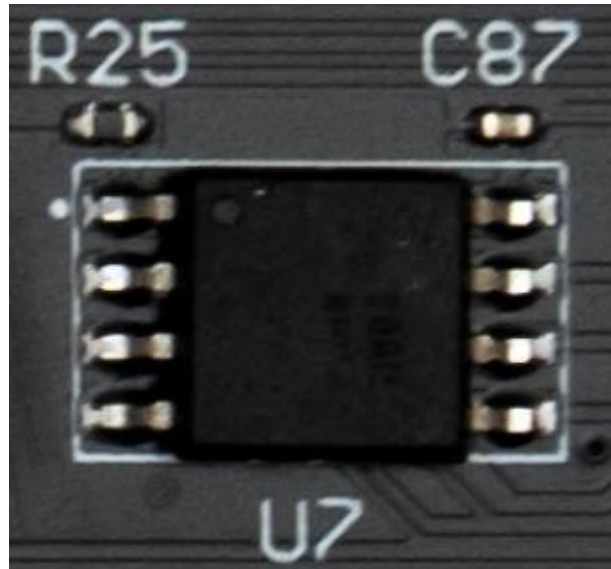
## FLASH



Şekil 6- 2: TRUE-ONE QSPI FLASH Şematik Bağlantısı

Tablo 6- 1: QSPI Flash Pin Ataması

QSPI Pin Adı	FPGA Pin Adı	FPGA Pin
FLASH_CS	IO_L6P_T0_FCS_B_14	L12
FLASH_CLK	CCLK_0	E8
FLASH_DQ0	IO_L1P_T0_D00_MOSI_14	J13
FLASH_DQ1	IO_L1N_T0_D01_DIN_14	J14
FLASH_DQ2	IO_L2P_T0_D02_14	K15
FLASH_DQ3	IO_L2N_T0_D03_14	K16



Şekil 6- 3: Kart Üzerinde Bulunan QSPI FLASH

### 7. USB-JTAG / USB-UART Arayüzü

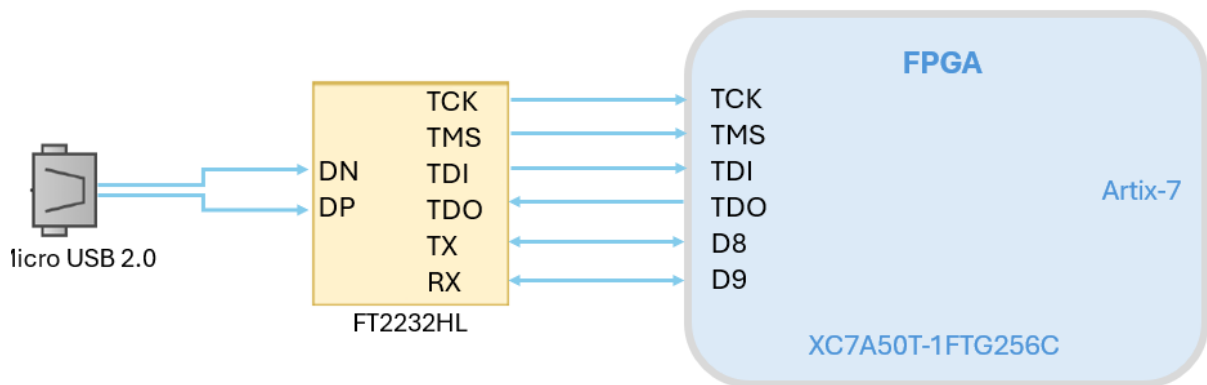
TRUE-ONE FPGA geliştirme kartı üzerinde, programlama ve haberleşme işlemlerini gerçekleştirmek amacıyla FT2232HL-REEL USB köprü entegresi kullanılmaktadır. Bu yapı sayesinde kullanıcılar, harici bir programlayıcıya ihtiyaç duymadan yalnızca USB bağlantısı üzerinden kart ile iletişim kurabilir.

FT2232HL-REEL entegresi, kart üzerinde iki temel işlevi yerine getirmektedir. Bunlardan ilki, FPGA yongasının JTAG programlama ve hata ayıklama sinyallerinin taşınmasıdır. Bu sayede Vivado gibi geliştirme ortamları üzerinden FPGA yongasına doğrudan bitstream yüklenebilir ve donanım geliştirme süreçleri kolaylaştırılır. JTAG arayüzünde kullanılan temel sinyaller TCK, TMS, TDI ve TDO hatlarıdır.

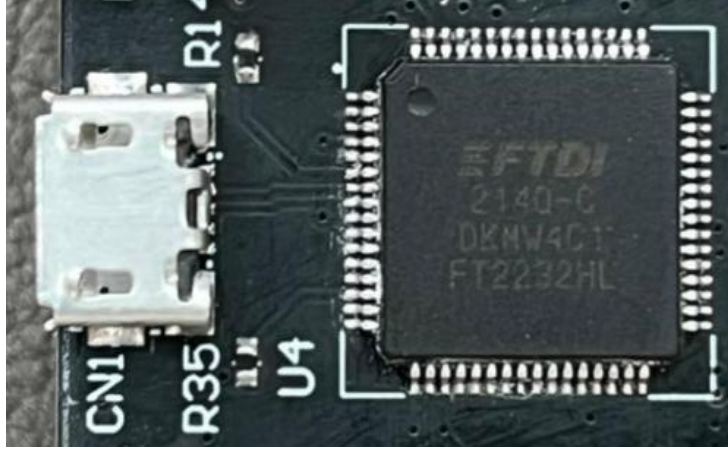
Entegrenin ikinci işlevi ise USB-UART haberleşme yapısını sağlamaktır. Bu sayede bilgisayar ile FPGA yongasının arasında seri haberleşme gerçekleştirilebilir. UART arayüzü üzerinden gönderilen ve alınan veriler, tasarım içinde uygun TX/RX bağlantıları ile kullanıcı uygulamalarında kullanılabilir. Bu yapı; veri gönderme, hata mesajlarının izlenmesi ve haberleşme uygulamalarının geliştirilmesi açısından önemli kolaylık sağlar.

Kart üzerinde bulunan USB-JTAG ve USB-UART işlevleri aynı entegre üzerinden sağlanmakla birlikte birbirinden bağımsız olarak çalışmaktadır. Böylece kullanıcı, tek bir USB bağlantısı üzerinden hem FPGA programlama işlemlerini gerçekleştirebilir hem de UART haberleşmesini kullanabilir.

TRUE-ONE kartında FT2232HL-REEL entegresine ait donanım bağlantısı ve ilgili sinyal yapısı şematik üzerinde gösterilmektedir.



Şekil 7- 1: TRUE-ONE FT2232HL Bağlantı Yapısı



Şekil 7- 2: Kart Üzerinde Bulunan FTDI

Tablo 7- 1: JTAG/USB-UART Pin Ataması

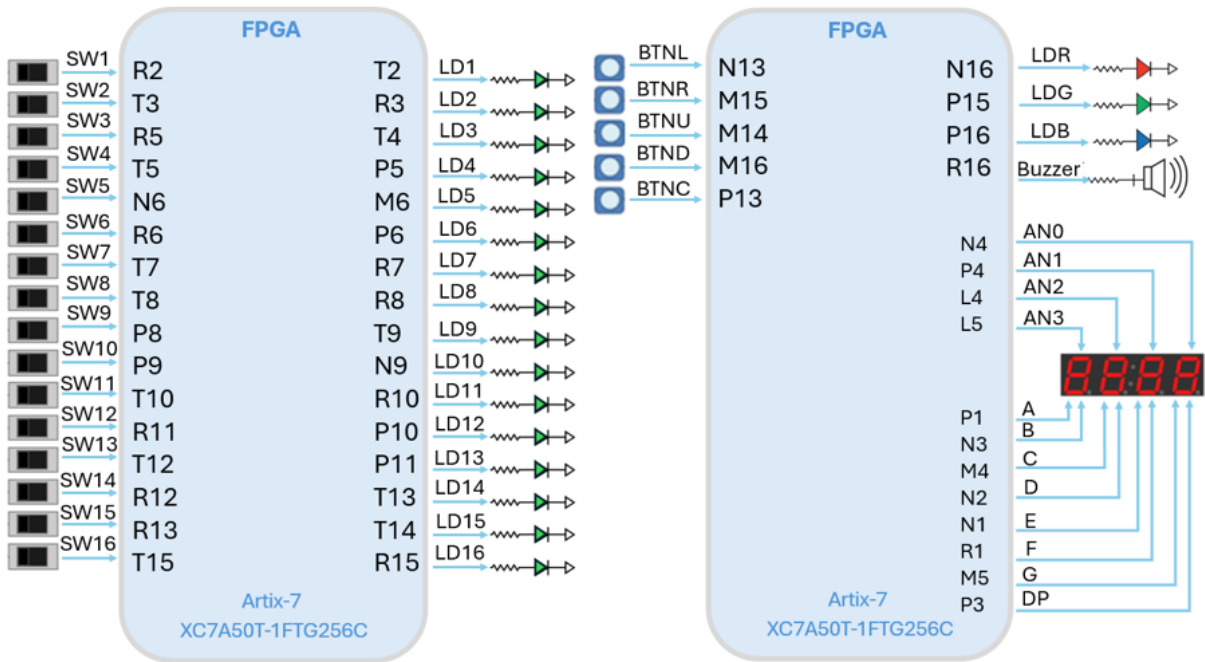
FTDI Pin Adı	FPGA Pin Adı	FPGA Pin
TCK	TCK_0	L7
TMS	TMS_0	M7
TDI	TDI_0	N7
TDO	TDO_0	N8
UART_TXD_IN	IO_L6P_T0_15	D8
UART_RXD_OUT	IO_L6N_T0_VREF_15	D9

### 8. Kullanıcı Giriş/Çıkış Birimleri

TRUE-ARTDAC7 FPGA geliştirme kartı, temel dijital tasarım uygulamalarının ek donanıma ihtiyaç duyulmadan gerçekleştirilebilmesi için çeşitli kullanıcı giriş/çıkış birimleri ile donatılmıştır. Kart üzerinde 16 adet switch, 16 adet kullanıcı LED'i, 5 adet push buton, 1 adet RGB LED, 1 adet buzzer ve 4 haneli 7-segment gösterge bulunmaktadır.

Bu çevre birimleri, FPGA tabanlı tasarımlarda giriş okuma, çıkış sürme, durum gösterimi, kullanıcı etkileşimi, sesli uyarı ve sayısal veri görüntüleme gibi temel işlevlerin doğrudan kart üzerinde gerçekleştirilmesine imkân sağlar. Böylece kullanıcılar; mantık devreleri, sayaç uygulamaları, kronometre, durum makineleri, PWM tabanlı kontrol yapıları ve çeşitli doğrulama senaryolarını hızlı bir şekilde geliştirebilir ve test edebilir.

Kart üzerindeki kullanıcı giriş/çıkış birimlerinin FPGA yongası ile olan bağlantıları aşağıdaki görsellerde gösterilmiştir.



Şekil 8- 1: TRUE-ONE Kartı Üzerinde Bulunan Temel Kullanıcı Giriş/Çıkış Bağlantı Yapısı

Tablo 8- 1: Kullanıcı Giriş-Çıkış Birimleri Pin Atama Tablosu

Sinyal İsmi	FPGA Pin İsmi	Pin Ataması
SW1	IO_L7P_T1_34	R2
SW2	IO_L9N_T1_DQS_34	T3
SW3	IO_L23P_T3_A03_D19_14	R5
SW4	IO_L23N_T3_A02_D18_14	T5
SW5	IO_L19N_T3_A09_D25_VREF_14	N6
SW6	IO_L24P_T3_A01_D17_14	R6
SW7	IO_L21P_T3_DQS_14	T7
SW8	IO_L21N_T3_DQS_A06_D22_14	T8
SW9	IO_L20P_T3_A08_D24_14	P8
SW10	IO_L18N_T2_A11_D27_14	P9
SW11	IO_L22N_T3_A04_D20_14	T10
SW12	IO_L17N_T2_A13_D29_14	R11
SW13	IO_L15N_T2_DQS_DOUT_CSO_B_14	T12
SW14	IO_L15P_T2_DQS_RDWR_B_14	R12
SW15	IO_L16P_T2_CSI_B_14	R13
SW16	IO_L10N_T1_D15_14	T15
LD1	IO_L8N_T1_34	T2
LD2	IO_L8P_T1_34	R3
LD3	IO_L9P_T1_DQS_34	T4
LD4	IO_L10P_T1_34	P5
LD5	IO_L19P_T3_A10_D26_14	M6
LD6	IO_25_14	P6
LD7	IO_L24N_T3_A00_D16_14	R7
LD8	IO_L20N_T3_A07_D23_14	R8
LD9	IO_L22P_T3_A05_D21_14	T9
LD10	IO_L18P_T2_A12_D28_14	N9
LD11	IO_L17P_T2_A14_D30_14	R10
LD12	IO_L14P_T2_SRCC_14	P10

<b>LD13</b>	IO_L14N_T2_SRCC_14	<b>P11</b>
<b>LD14</b>	IO_L16N_T2_A15_D31_14	<b>T13</b>
<b>LD15</b>	IO_L10P_T1_D14_14	<b>T14</b>
<b>LD16</b>	IO_L9P_T1_DQS_14	<b>R15</b>
<b>BTNL</b>	IO_L11P_T1_SRCC_14	<b>N13</b>
<b>BTNR</b>	IO_L3N_T0_DQS_EMCCCLK_14	<b>M15</b>
<b>BTNU</b>	IO_L4N_T0_D05_14	<b>M14</b>
<b>BTND</b>	IO_L7P_T1_D09_14	<b>M16</b>
<b>BTNC</b>	IO_L11N_T1_SRCC_14	<b>P13</b>
<b>LDR</b>	IO_L7N_T1_D10_14	<b>N16</b>
<b>LDG</b>	IO_L8P_T1_D11_14	<b>P15</b>
<b>LDB</b>	IO_L8N_T1_D12_14	<b>P16</b>
<b>Buzzer</b>	IO_L9N_T1_DQS_D13_14	<b>R16</b>
<b>AN0</b>	IO_L6N_T0_VREF_34	<b>N4</b>
<b>AN1</b>	IO_L5P_T0_34	<b>P4</b>
<b>AN2</b>	IO_L1P_T0_34	<b>L4</b>
<b>AN3</b>	IO_0_34	<b>L5</b>
<b>7SEG_A</b>	IO_L4N_T0_34	<b>P1</b>
<b>7SEG_B</b>	IO_L3P_T0_DQS_34	<b>N3</b>
<b>7SEG_C</b>	IO_L1N_T0_34	<b>M4</b>
<b>7SEG_D</b>	IO_L3N_T0_DQS_34	<b>N2</b>
<b>7SEG_E</b>	IO_L4P_T0_34	<b>N1</b>
<b>7SEG_F</b>	IO_L7N_T1_34	<b>R1</b>
<b>7SEG_G</b>	IO_L6P_T0_34	<b>M5</b>
<b>DP (Nokta)</b>	IO_L5N_T0_34	<b>P3</b>

### 9. Pin Header Yapısı ve Genişleme Altyapısı

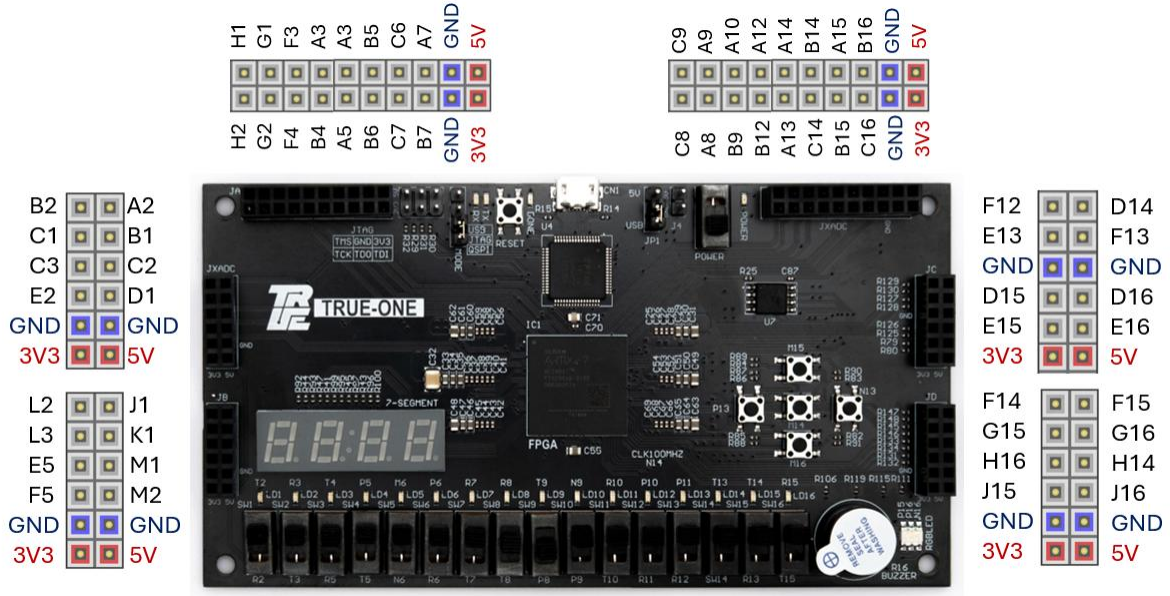
TRUE-ONE FPGA geliştirme kartı üzerinde, harici modüllerin ve kullanıcıya ait çevre birimlerinin bağlanabilmesi amacıyla farklı pin header yapıları ayrılmıştır. Bu başlıklar sayesinde kullanıcı, kart üzerindeki FPGA yongasına ait giriş/çıkış hatlarına doğrudan erişim sağlayabilmekte ve farklı uygulamaları ek donanıma ihtiyaç duymadan ya da harici modüller ile geliştirebilmektedir.

Kart üzerinde toplam 4 adet 2x6 yapısında ve 2 adet 2x10 yapısında pin header bulunmaktadır. Bu başlıklar üzerinden toplam 64 adet sinyal FPGA yongasına bağlanmıştır. Bu sinyallerin bir bölümü genel amaçlı giriş/çıkış (GPIO) olarak kullanılırken, bir bölümü ise analog-dijital dönüştürücü yapısı için ayrılmıştır.

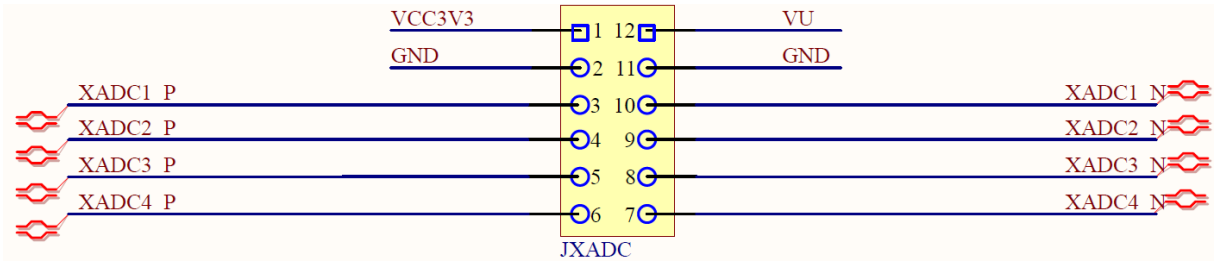
Pin header yapıları içerisinde yer alan toplam 32 adet sinyal, JXADC başlıkları üzerinden FPGA yongasının analog giriş pinlerine doğrudan bağlanmıştır. Bu yapı sayesinde kullanıcılar, FPGA yongasının dahili XADC altyapısını kullanarak analog sinyallerin izlenmesi, ölçülmesi ve işlenmesine yönelik uygulamalar geliştirebilmektedir. Geriye kalan 32 adet sinyal ise genel amaçlı FPGA giriş/çıkış pinlerine bağlanmış olup farklı sayısal tasarım ve haberleşme uygulamalarında kullanılabilir.

Pin header başlıkları üzerinde sinyal hatlarına ek olarak 3.3 V, 5 V ve GND bağlantıları da kullanıcıya sunulmuştur. Bu yapı, harici modüllerin beslenmesini kolaylaştırmakta ve sinyal bağlantılarının daha düzenli şekilde yapılmasına imkân tanımaktadır. Böylece TRUE-ONE kartı, yalnızca kart üzerindeki çevre birimleri ile değil, aynı zamanda sunduğu genişleme altyapısı ile de eğitim, Ar-Ge, prototipleme ve deneysel geliştirme çalışmaları için esnek bir platform oluşturmaktadır.

J1 ve J2 başlıklarına ait şematik bağlantılar ile fiziksel pin yerleşimi aşağıdaki şekillerde gösterilmektedir.



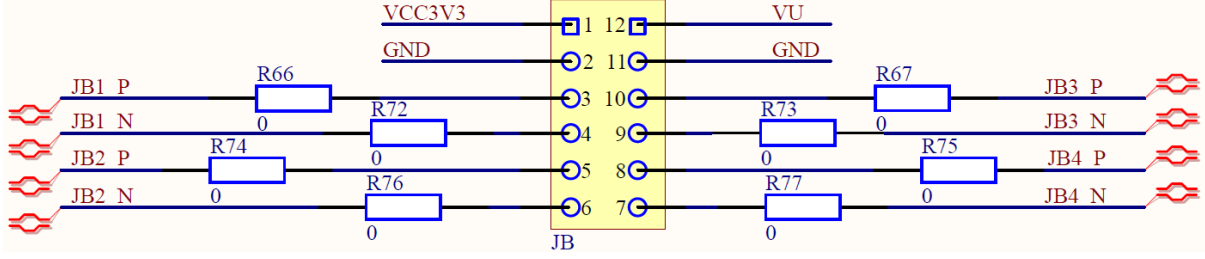
Şekil 9- 1: TRUE-ONE Pin Header Pin Atamaları



Şekil 9- 2: TRUE ONE JXADC Pin Header Bağlantı Yapısı

Tablo 9- 1: JXADC Pin Atama Tablosu

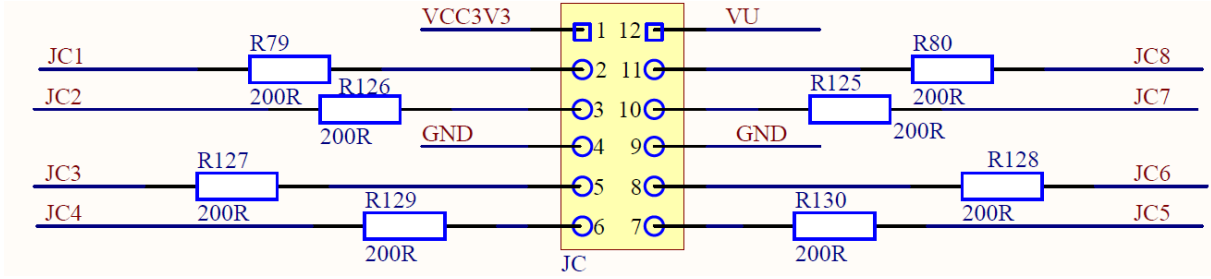
JXADC PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ataması
PIN1	+3V3	-	-
PIN2	GND	-	-
PIN3	XADC1_P	IO_L10P_T1_AD15P_35	<b>E2</b>
PIN4	XADC2_P	IO_L7P_T1_AD6P_35	<b>C3</b>
PIN5	XADC3_P	IO_L9P_T1_DQS_AD7P_35	<b>C1</b>
PIN6	XADC4_P	IO_L8P_T1_AD14P_35	<b>B2</b>
PIN7	XADC4_N	IO_L8N_T1_AD14N_35	<b>A2</b>
PIN8	XADC3_N	IO_L9N_T1_DQS_AD7N_35	<b>B1</b>
PIN9	XADC2_N	IO_L7N_T1_AD6N_35	<b>C2</b>
PIN10	XADC1_N	IO_L10N_T1_AD15N_35	<b>D1</b>
PIN11	GND	-	-
PIN12	+5V	-	-



Şekil 9- 3: TRUE ONE JB Pin Header Bağlantı Yapısı

Tablo 9- 2: JB Pin Atama Tablosu

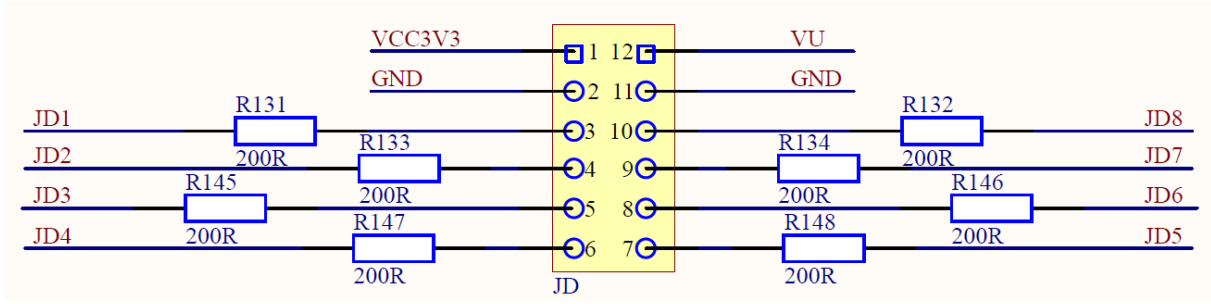
JXADC PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ataması
PIN1	+3V3	-	-
PIN2	GND	-	-
PIN3	JB1_P	IO_L13P_T2_MRCC_35	<b>F5</b>
PIN4	JB1_N	IO_L13N_T2_MRCC_35	<b>E5</b>
PIN5	JB2_P	IO_L17P_T2_35	<b>G2</b>
PIN6	JB2_N	IO_L17N_T2_35	<b>G1</b>
PIN7	JB4_N	IO_L4N_T0_35	<b>A3</b>
PIN8	JB4_P	IO_L4P_T0_35	<b>B4</b>
PIN9	JB3_N	IO_L14N_T2_SRCC_35	<b>F3</b>
PIN10	JB3_P	IO_L14P_T2_SRCC_35	<b>F4</b>
PIN11	GND	-	-
PIN12	+5V	-	-



Şekil 9- 4: TRUE ONE JC Pin Header Bağlantı Yapısı

Tablo 9- 3: JC Pin Atama Tablosu

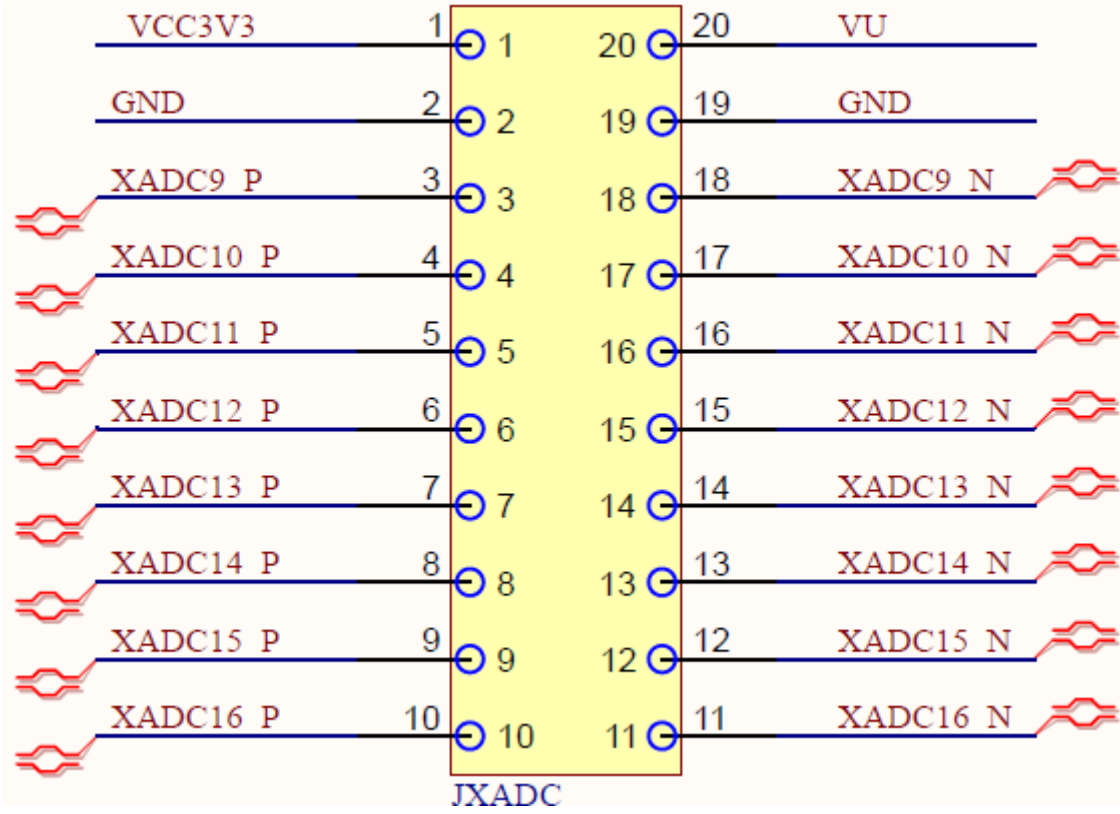
JXADC PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ataması
PIN1	+3V3	-	-
PIN2	JC1	IO_L18N_T2_A23_15	E15
PIN3	JC2	IO_L15N_T2_DQS_ADV_B_15	<b>D15</b>
PIN4	GND	-	-
PIN5	JC3	IO_L13N_T2_MRCC_15	<b>E13</b>
PIN6	JC4	IO_L16P_T2_A28_15	<b>E12</b>
PIN7	JC5	IO_L18P_T2_A24_15	<b>F15</b>
PIN8	JC6	IO_L16N_T2_A27_15	<b>F13</b>
PIN9	GND	-	-
PIN10	JC7	IO_L17N_T2_A25_15	<b>D16</b>
PIN11	JC8	IO_L17P_T2_A26_15	<b>E16</b>
PIN12	+5V	-	-



Şekil 9- 5: TRUE ONE JD Pin Header Bağlantı Yapısı

Tablo 9- 4: JD Pin Atama Tablosu

JXADC PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ataması
PIN1	+3V3	-	-
PIN2	GND	-	-
PIN3	JD1	IO_L15N_T2_DQS_ADV_B_15	<b>D15</b>
PIN4	JD2	-	-
PIN5	JD3	IO_L13N_T2_MRCC_15	<b>E13</b>
PIN6	JD4	IO_L16P_T2_A28_15	<b>E12</b>
PIN7	JD5	IO_L18P_T2_A24_15	<b>F15</b>
PIN8	JD6	IO_L16N_T2_A27_15	<b>F13</b>
PIN9	JD7	-	-
PIN10	JD8	IO_L17N_T2_A25_15	<b>D16</b>
PIN11	GND	-	-
PIN12	+5V	-	-

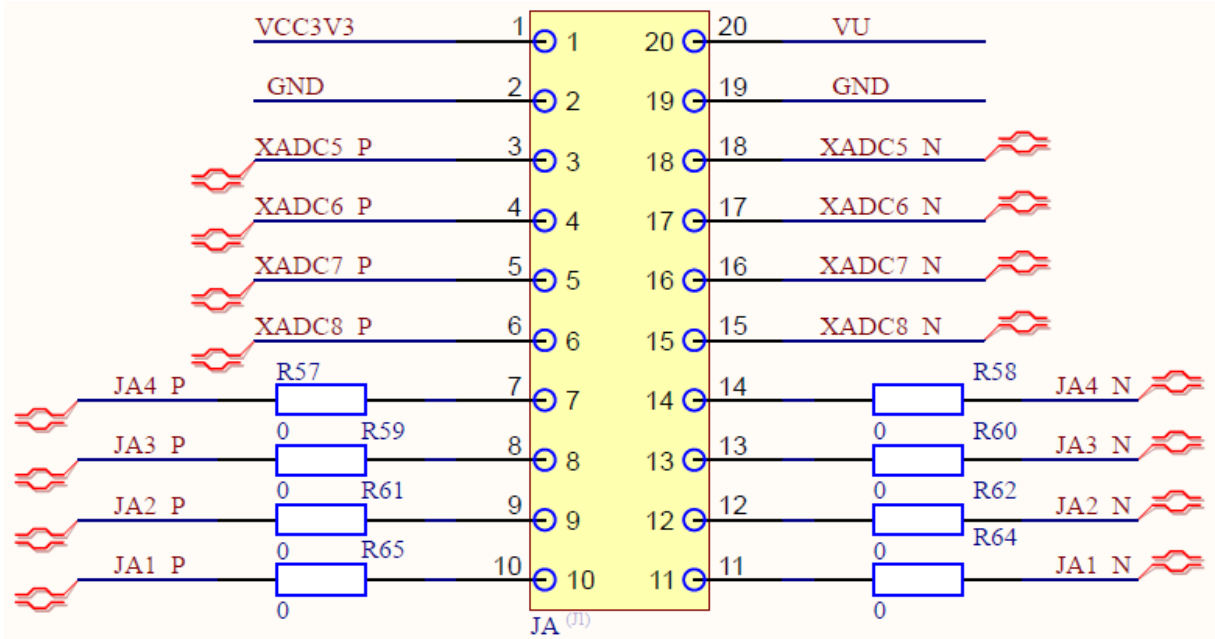


Şekil 9- 6: TRUE ONE JXADC Pin Header Bağlantı Yapısı

Tablo 9- 5: JXADC Pin Atama Tablosu

JXADC PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ataması
PIN1	+3V3	-	-
PIN2	GND	-	-
PIN3	XADC9_P	IO_L10P_T1_AD11P_15	<b>C16</b>
PIN4	XADC10_P	IO_L9P_T1_DQS_AD3P_15	<b>B15</b>
PIN5	XADC11_P	IO_L8P_T1_AD10P_15	<b>C14</b>
PIN6	XADC12_P	IO_L7P_T1_AD2P_15	<b>A13</b>
PIN7	XADC13_P	IO_L5P_T0_AD9P_15	<b>B12</b>
PIN8	XADC14_P	IO_L3P_T0_DQS_AD1P_15	<b>B9</b>
PIN9	XADC15_P	IO_L2P_T0_AD8P_15	<b>A8</b>
PIN10	XADC16_P	IO_L1P_T0_AD0P_15	<b>C8</b>
PIN11	XADC16_N	IO_L1N_T0_AD0N_15	<b>C9</b>
PIN12	XADC15_N	IO_L2N_T0_AD8N_15	<b>A9</b>
PIN13	XADC14_N	IO_L3N_T0_DQS_AD1N_15	<b>A10</b>

PIN14	XADC13_N	IO_L5N_T0_AD9N_15	<b>A12</b>
PIN15	XADC12_N	IO_L7N_T1_AD2N_15	<b>A14</b>
PIN16	XADC11_N	IO_L8N_T1_AD10N_15	<b>B14</b>
PIN17	XADC10_N	IO_L9N_T1_DQS_AD3N_15	<b>A15</b>
PIN18	XADC19_N	IO_L10N_T1_AD11N_15	<b>B16</b>
PIN19	GND	-	-
PIN20	+ 5V	-	-



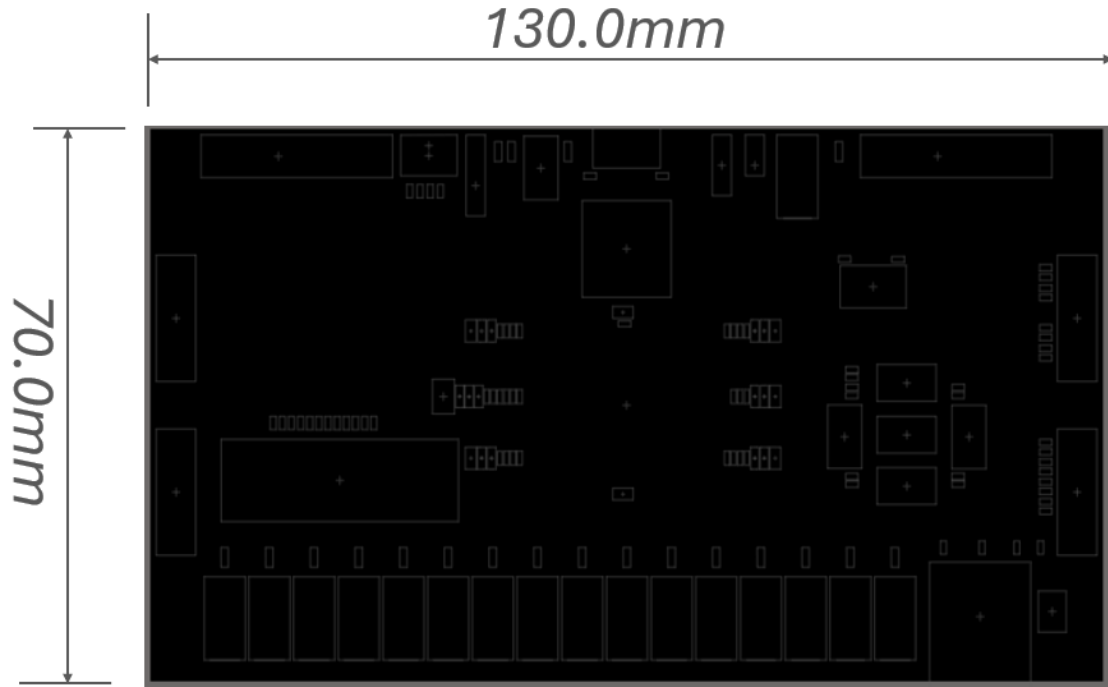
Şekil 9- 7: TRUE ONE JA Pin Header Bağlantı Yapısı

Tablo 9- 6: JA Pin Atama Tablosu

JXADC PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ataması
PIN1	+3V3	-	-
PIN2	GND	-	-
PIN3	XADC5_P	IO_L1P_T0_AD4P_35	<b>B7</b>
PIN4	XADC6_P	IO_L5P_T0_AD13P_35	<b>C7</b>
PIN5	XADC7_P	IO_L2P_T0_AD12P_35	<b>B6</b>
PIN6	XADC8_P	IO_L3P_T0_DQS_AD5P_35	<b>A5</b>
PIN7	JA4_P	IO_L4P_T0_35	<b>B4</b>
PIN8	JA3_P	IO_L14P_T2_SRCC_35	<b>F4</b>

PIN9	JA2_P	IO_L17P_T2_35	G2
PIN10	JA1_P	IO_L20P_T3_35	H2
PIN11	JA1_N	IO_L20N_T3_35	H1
PIN12	JA2_N	IO_L17N_T2_35	G1
PIN13	JA3_N	IO_L14N_T2_SRCC_35	F3
PIN14	JA4_N	IO_L4N_T0_35	A3
PIN15	XADC8_N	IO_L3N_T0_DQS_AD5N_35	A4
PIN16	XADC7_N	IO_L2N_T0_AD12N_35	B5
PIN17	XADC6_N	IO_L5N_T0_AD13N_35	C6
PIN18	XADC5_N	IO_L1N_T0_AD4N_35	A7
PIN19	GND	-	-
PIN20	+ 5V	-	-

## 10. Yapı Şeması



Şekil 10- 1: TRUE-ONE Kartı Boyutsal Üst Görünüşü