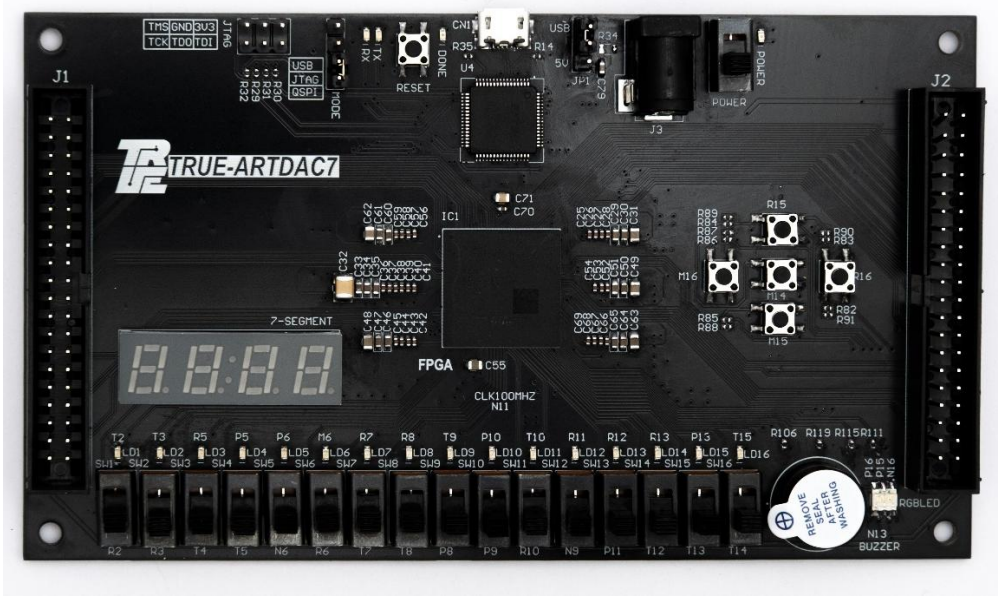


1. Ürüne Genel Bakış

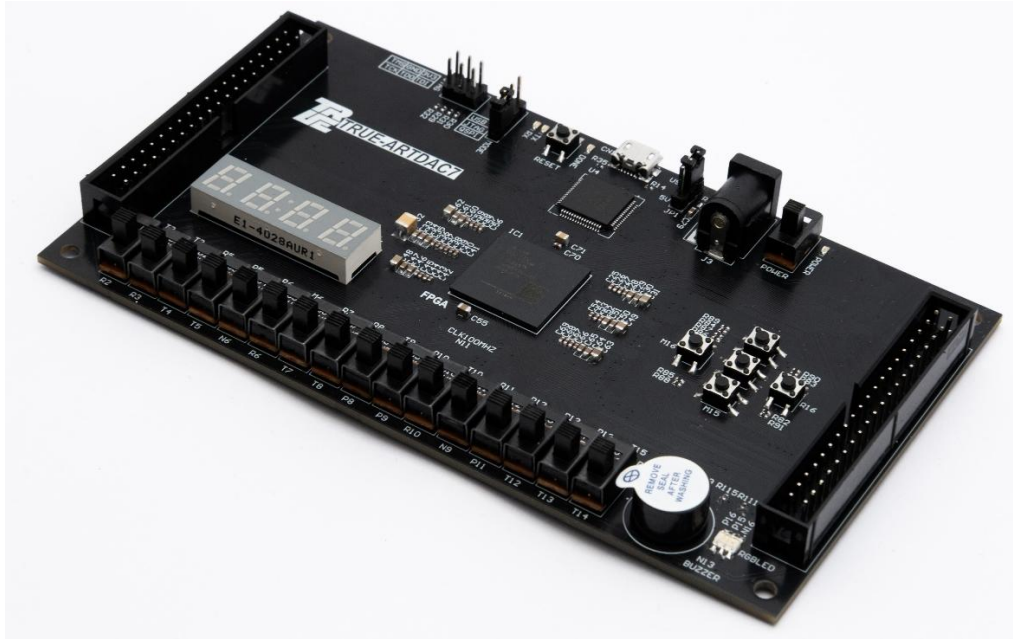
TRUE-ARTDAC7 FPGA Geliştirme Kartı, yüksek performanslı dijital tasarımlar ve gömülü sistem uygulamaları geliştirmek amacıyla tasarlanmış, yerli üretim bir FPGA geliştirme platformudur. AMD Xilinx Artix-7 mimarisi temel alınarak geliştirilen kart, eğitim, Ar-Ge, hızlı prototipleme ve donanım doğrulama çalışmalarında ihtiyaç duyulan temel altyapıyı tek platform üzerinde sunmaktadır.

Kullanıcı dostu bir yapıya sahip olan TRUE-ARTDAC7, üzerinde bulunan çevresel donanımlar ve kullanıcı giriş/çıkış birimleri sayesinde çok sayıda FPGA tabanlı uygulamanın ek donanıma ihtiyaç duyulmadan geliştirilmesine ve test edilmesine olanak sağlar. Kart üzerinde yer alan programlama arabirimleri, bellek yapısı ve genişleme başlıkları hem başlangıç seviyesindeki uygulamalar hem de daha ileri düzey geliştirme çalışmaları için uygun bir kullanım sunmaktadır.

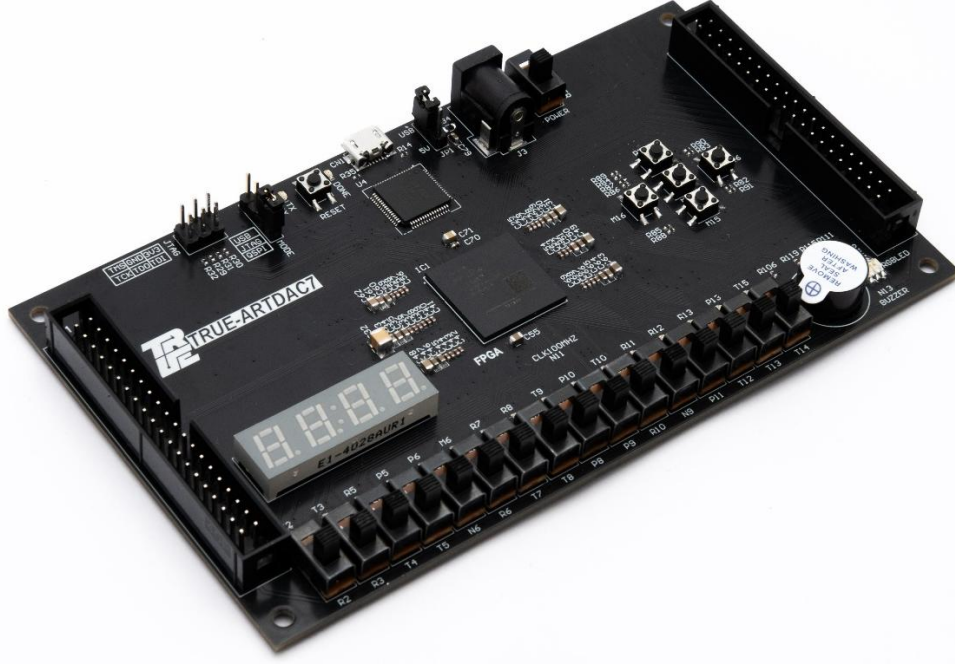
Kart üzerinde XC7A50T-1FTG256C FPGA yongası bulunmaktadır. Ayrıca sistem yapısında 1.0 V, 1.8 V ve 3.3 V gerilim seviyeleri kullanılmaktadır. 14 cm × 8 cm boyutlarındaki kompakt kart yapısı; masaüstü çalışma, laboratuvar kullanımı, eğitim uygulamaları ve ürün tanıtım süreçleri için uygun bir mekanik altyapı sağlamaktadır.



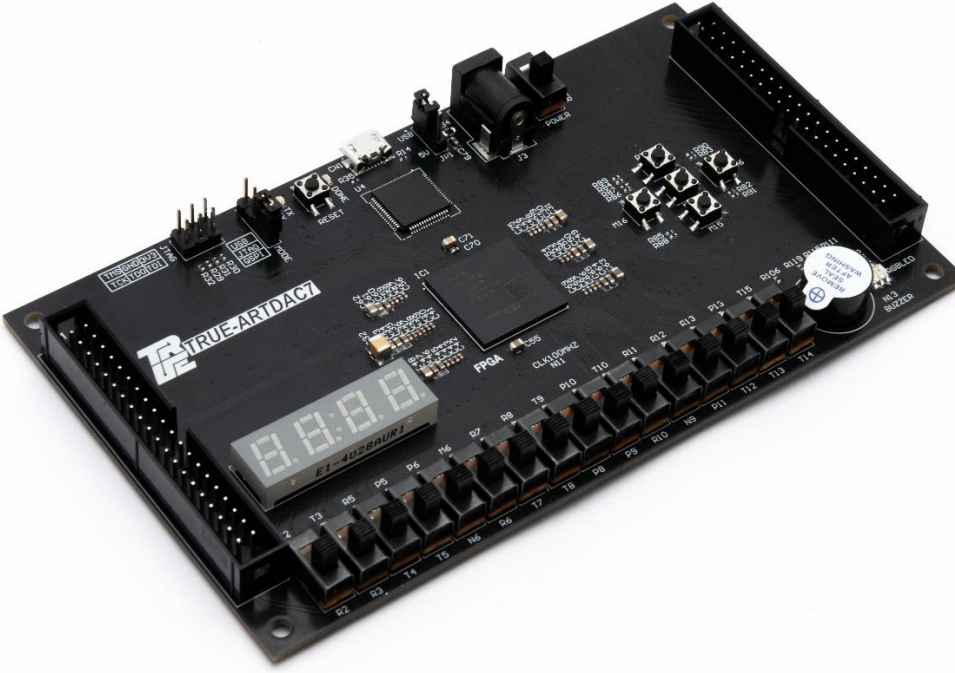
Şekil 1- 1: True-ArtDac7 Kartı (Ön Resmi)



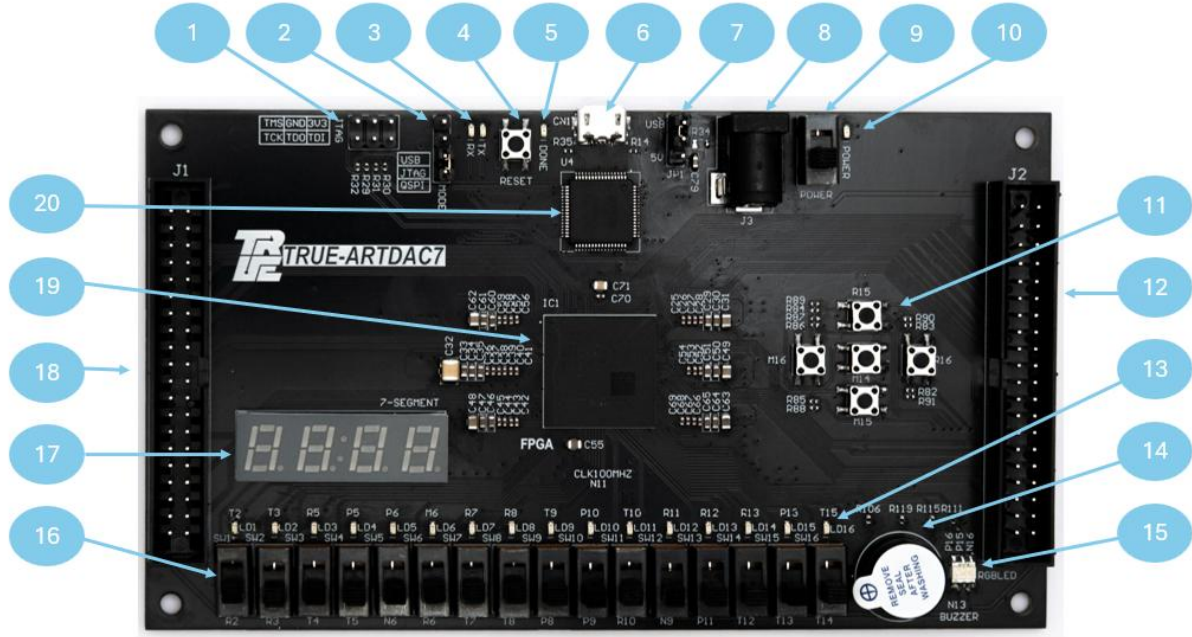
Şekil 1- 2: True-ArtDac7 Kartı (Sol Resmi)



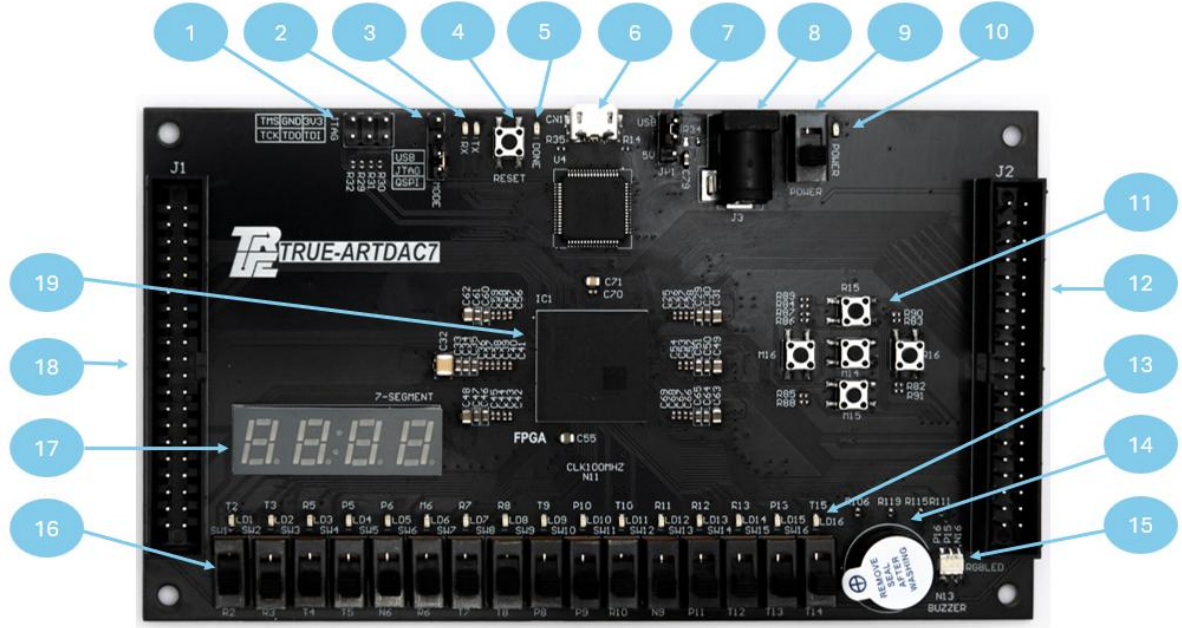
Şekil 1- 3: True-ArtDac7 Kartı (Sağ Resmi)



Şekil 1- 4: True-ArtDac7 Kartı (Arka Resmi)



1	JTAG Programlama	11	Push Buton
2	Programlama Modu	12	2x40 DAC Pin Header
3	RX/TX Led	13	Kullanıcı Led
4	Reset Buton	14	Buzzer
5	Done Led	15	RGB Led
6	UART/JTAG USB Port	16	Kullanıcı Switch
7	Güç Modu	17	7-Segment
8	Harici Besleme	18	2x40 DAC Pin Header
9	Güç Switch	19	FPGA XC7A50T-1FTG256C
10	Güç Led	20	FTDI FT2232HL-REEL



1	JTAG Programlama	11	Push Buton
2	Programlama Modu	12	2x40 DAC Pin Header
3	RX/TX Led	13	Kullanıcı Led
4	Reset Buton	14	Buzzer
5	Done Led	15	RGB Led
6	UART/JTAG USB Port	16	Kullanıcı Switch
7	Güç Modu	17	7-Segment
8	Harici Besleme	18	2x40 DAC Pin Header
9	Güç Switch	19	FPGA XC7A50T-1FTG256C
10	Güç Led		

2. FPGA YONGASI

TRUE-ARTDAC7 FPGA geliştirme kartı üzerinde AMD Xilinx Artix-7 ailesine ait XC7A50T-1FTG256C FPGA yongası bulunmaktadır. Bu FPGA yongası, düşük güç tüketimi ile yüksek performansı bir arada sunan yapısı sayesinde eğitim, Ar-Ge, prototipleme ve sayısal tasarım uygulamaları için uygun bir altyapı sağlar.

XC7A50T modeli; mantık kaynakları, blok RAM kapasitesi, DSP birimleri ve dahili analog-dijital dönüştürücü yapısı ile çok sayıda FPGA tabanlı uygulamanın gerçekleştirilmesine imkân tanımaktadır. Kart üzerinde tercih edilen FTG256 paket yapısı ise kompakt kart tasarımlarında yeterli giriş/çıkış kapasitesi sunarken kart yerleşimi açısından da avantaj sağlamaktadır.

TRUE-ARTDAC7 kartı üzerinde kullanılan Artix-7 FPGA yongası, kullanıcı giriş/çıkış birimlerinin kontrolü, zamanlama tabanlı tasarımlar, haberleşme uygulamaları, sayısal işaret işleme çalışmaları ve harici modüller ile gerçekleştirilen geliştirmeler için uygun bir donanım altyapısı sunmaktadır.

Artix-7 FPGAs

Transceiver Optimization at the Lowest Cost and Highest DSP Bandwidth (1.0V, 0.95V, 0.9V)									
	Part Number	XC7A12T	XC7A15T	XC7A25T	XC7A35T	XC7A50T	XC7A75T	XC7A100T	XC7A200T
Logic Resources	Logic Cells	12,800	16,640	23,360	33,280	52,160	75,520	101,440	215,360
	Slices	2,000	2,600	3,650	5,200	8,150	11,800	15,850	33,650
	CLB Flip-Flops	16,000	20,800	29,200	41,600	65,200	94,400	126,800	269,200
Memory Resources	Maximum Distributed RAM (Kb)	171	200	313	400	600	892	1,188	2,888
	Block RAM/FIFO w/ ECC (36 Kb each)	20	25	45	50	75	105	135	365
	Total Block RAM (Kb)	720	900	1,620	1,800	2,700	3,780	4,860	13,140
Clock Resources	CMTs (1 MMCM + 1 PLL)	3	5	3	5	5	6	6	10
I/O Resources	Maximum Single-Ended I/O	150	250	150	250	250	300	300	500
	Maximum Differential I/O Pairs	72	120	72	120	120	144	144	240
	DSP Slices	40	45	80	90	120	180	240	740
Embedded Hard IP Resources	PCIe® Gen2 ⁽¹⁾	1	1	1	1	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1	1	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) ⁽²⁾	2	4	4	4	4	8	8	16
Speed Grades	Commercial Temp (C)	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2	-1, -2
	Extended Temp (E)	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrial Temp (I)	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L
	Package ^{(3), (4)}	Dimensions (mm)	Ball Pitch (mm)	Available User I/O: 3.3V SelectIO™ HR I/O (GTP Transceivers)					
	CPG236	10 x 10	0.5	106 (2)	106 (2)	106 (2)			
	CPG238	10 x 10	0.5	112 (2)	112 (2)				
	CSG324	15 x 15	0.8	210 (0)	210 (0)	210 (0)	210 (0)	210 (0)	
	CSG325	15 x 15	0.8	150 (2)	150 (4)	150 (4)	150 (4)		
	FTG256	17 x 17	1.0	170 (0)	170 (0)	170 (0)	170 (0)	170 (0)	

Şekil 2- 1: Kullanılan FPGA Ailesinin Özellikleri



Şekil 2- 2: Kart Üzerinde Bulunan Yonga

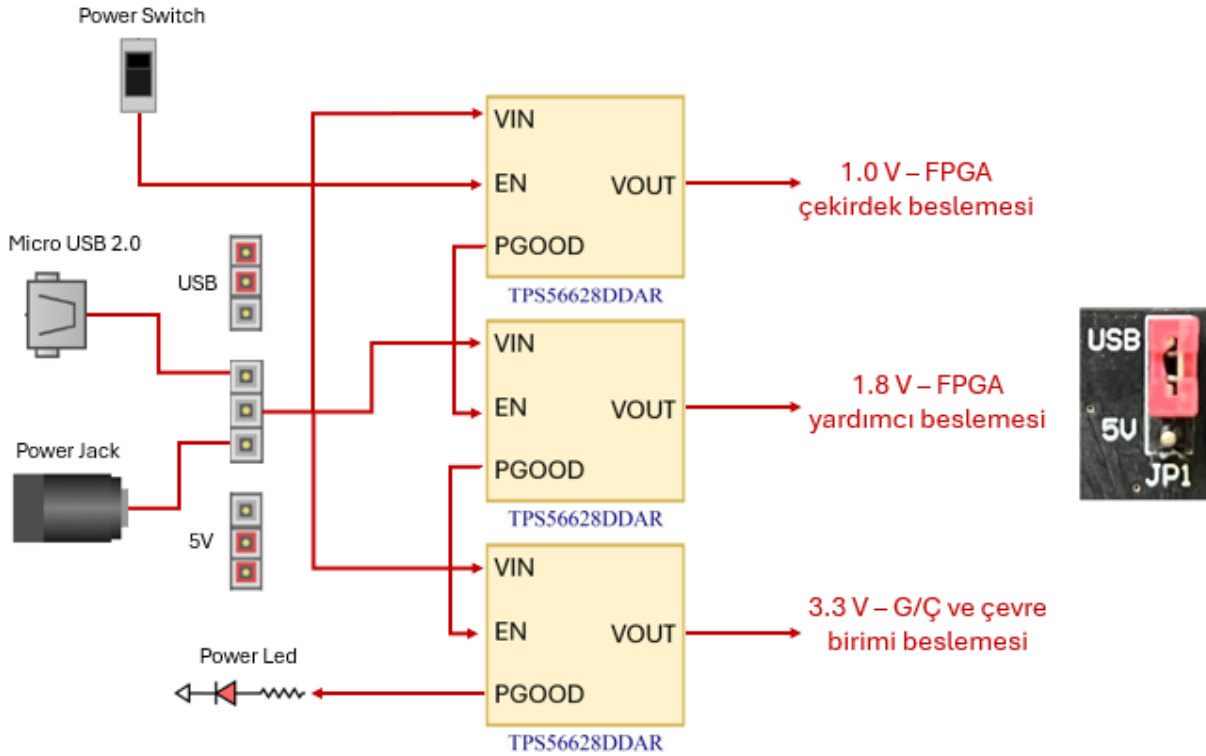
3. Güç Mimarisi ve Besleme Yapısı

TRUE-ARTDAC7 FPGA geliştirme kartı, çalışma için gerekli besleme gerilimlerini kart üzerinde bulunan güç düzenleme yapısı üzerinden üretmektedir. Kartın besleme mimarisi, FPGA yongasının ve çevre birimlerinin ihtiyaç duyduğu temel gerilim seviyelerini kararlı ve güvenli biçimde sağlamak üzere tasarlanmıştır.

Kart üzerinde 1.0 V, 1.8 V ve 3.3 V olmak üzere üç temel besleme hattı bulunmaktadır. Bu gerilimler sırasıyla FPGA çekirdek yapısı, yardımcı besleme hatları ve giriş/çıkış çevre birimlerinin çalıştırılması için kullanılmaktadır.

Kartın güç açılış yapısı sıralı etkinleştirme mantığına göre tasarlanmıştır. Güç anahtarından gelen etkinleştirme sinyali ile ilk olarak 1.0 V regülatörü devreye girmektedir. Ardından bu regülatörün Power Good (PG) çıkışı kullanılarak 1.8 V regülatörü etkinleştirilmektedir. Son aşamada ise 3.3 V besleme hattı üretilmektedir. Bu yapı sayesinde güç rayları kontrollü bir sırada oluşmakta ve sistemin kararlı biçimde başlatılması sağlanmaktadır.

Kart üzerinde kullanılan güç dönüştürücüleri TPS56628DDAR serisindedir. Her bir regülatör ilgili gerilim hattını üretmek üzere yapılandırılmıştır.



Şekil 3- 1: TRUE-ARTDAC7 Güç Mimarisi Blok Diyagramı

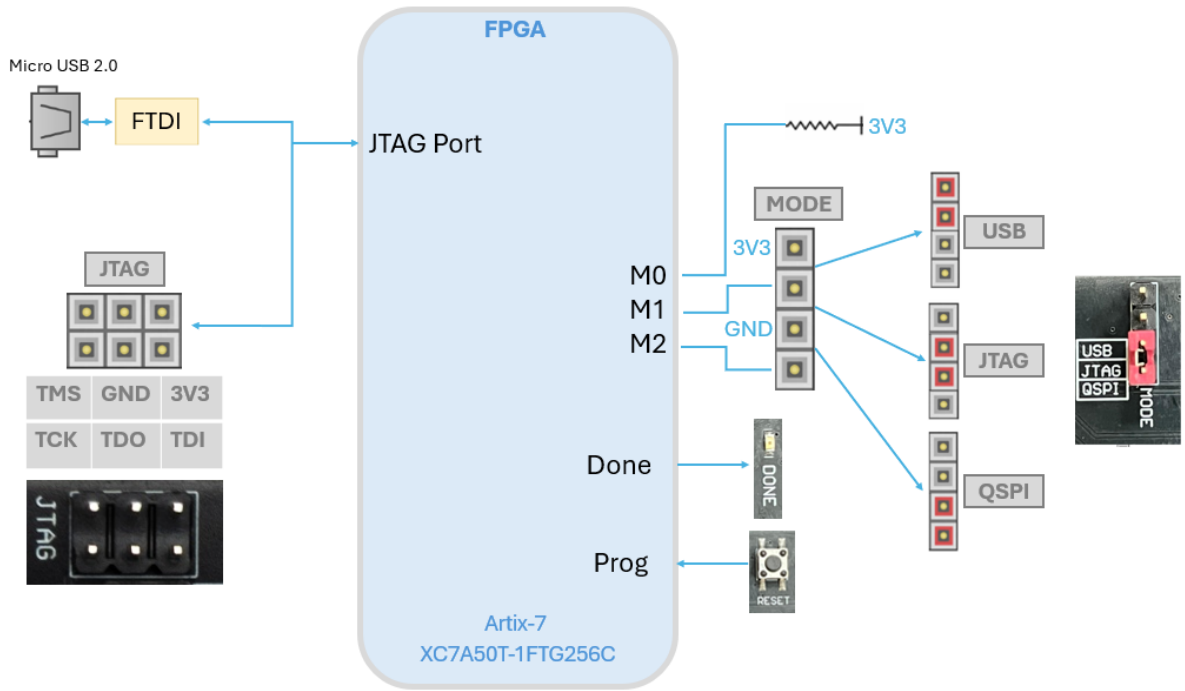
4. Konfigürasyon Modları

TRUE-ARTDAC7 FPGA geliştirme kartı üzerinde bulunan Artix-7 FPGA yongasının güç verildikten sonra çalışabilmesi için bir konfigürasyon dosyası ile programlanması gerekmektedir. Bu konfigürasyon verisi, FPGA yongasının içerisinde gerçekleştirilecek mantık işlevlerini ve devre bağlantılarını tanımlayan bitstream dosyasıdır. Vivado tasarım ortamında oluşturulan bu dosya, karta farklı yöntemlerle yüklenebilir.

JTAG konfigürasyonunda, bitstream dosyası bilgisayar üzerinden USB-JTAG arayüzü kullanılarak doğrudan FPGA yongasına yüklenir. Bu yöntem geliştirme ve hata ayıklama süreçlerinde hızlı ve pratik bir kullanım sağlar. Ancak bu şekilde yüklenen konfigürasyon geçicidir; kartın enerjisi kesildiğinde FPGA içerisindeki yapı silinir.

QSPI Flash konfigürasyonunda ise bitstream dosyası kart üzerinde bulunan flash belleğe yazılır. Güç verildiğinde FPGA, uygun konfigürasyon ayarları altında bu bellekte saklanan veriyi okuyarak otomatik olarak başlatır. Bu yöntem kalıcı uygulamalar, demo çalışmaları ve her açılıшта otomatik başlatma gerektiren senaryolar için uygundur.

TRUE-ARTDAC7 kartına ait konfigürasyon seçenekleri ve ilgili donanım yapısı aşağıdaki şekilde gösterilmektedir.

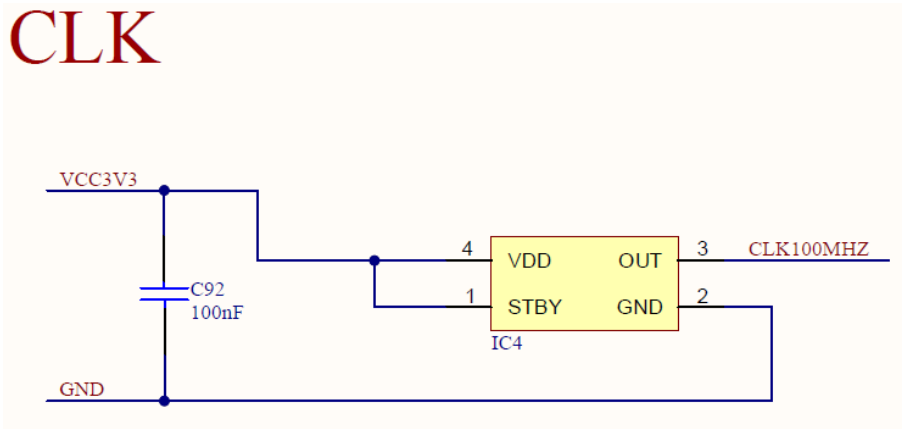


Şekil 4- 1: TRUE-ARTDAC7 Konfigürasyon Modları Bağlantı Yapısı

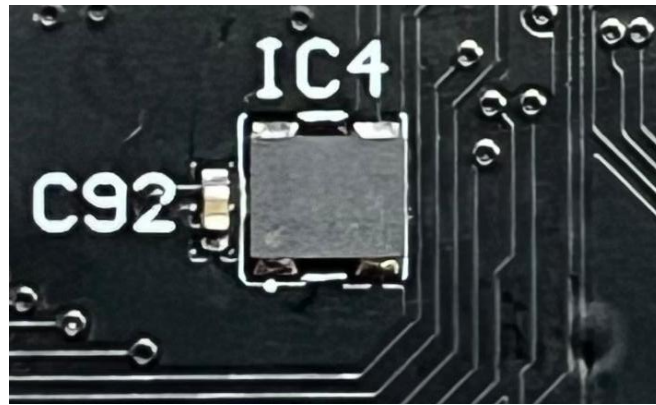
5. Saat Kaynağı

TRUE-ARTDAC7 FPGA geliştirme kartı üzerinde sistem saat kaynağı olarak 100 MHz frekansında bir osilatör bulunmaktadır. Kartta kullanılan osilatör modeli ASEM1-100.000MHZ-LC-T'dir. Bu osilatör tasarımlarda FPGA clock girişi olarak kullanılmak üzere karta entegre edilmiştir.

Geliştirilen uygulamaya bağlı olarak, FPGA yongasının içerisinde bulunan saat yönetim kaynakları kullanılarak bu 100 MHz giriş saatinden farklı frekanslar elde edilebilir. Böylece tasarımın ihtiyaç duyduğu farklı çalışma frekansları oluşturulabilir.



Şekil 5- 1: TRUE-ARTDAC7 Sistem Saati Blok Diyagramı



Şekil 5- 2: Kart Üzerinde Bulunan Osilatör

Tablo 5- 1: CLK Pin Ataması

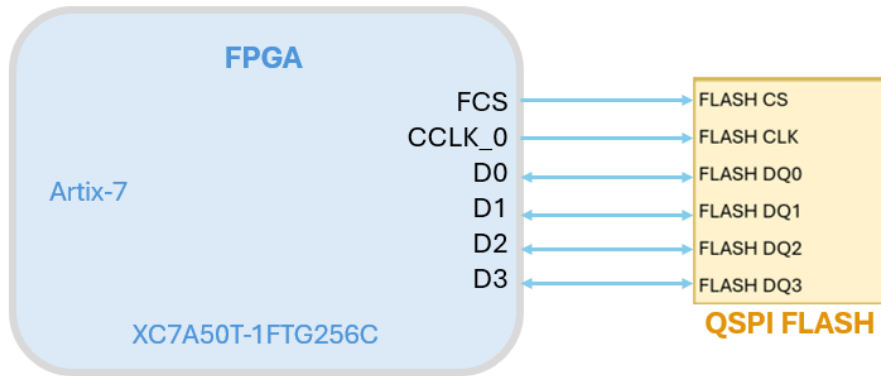
CLK Pin Adı	FPGA Pin Adı	FPGA Pin
CLK100MHZ	IO_L13P_T2_MRCC_14	N11

6. QSPI Flash Bellek

TRUE-ARTDAC7 FPGA geliştirme kartı üzerinde, sistem konfigürasyonu ve kalıcı veri saklama amacıyla 128 Mbit kapasiteli QSPI Flash bellek bulunmaktadır. Kartta kullanılan flash bellek modeli Micron MT25QL128ABA1ESE-0SIT olup 3.3 V CMOS lojik seviyesinde çalışmaktadır.

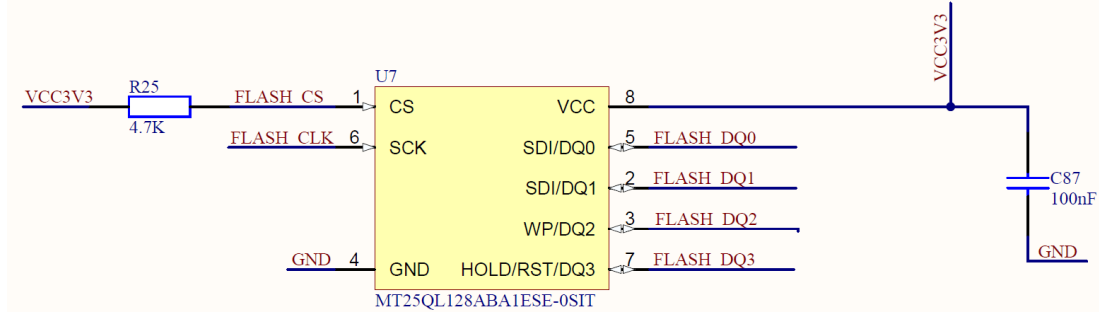
QSPI Flash bellek, kalıcı (non-volatile) yapısı sayesinde FPGA konfigürasyon verilerinin saklanması için kullanılabilir. Uygun mod ayarları ile güç verildiğinde bu bellek üzerinde saklanan bitstream dosyasını otomatik olarak okuyarak başlatılabilir. Bu yapı sayesinde tasarım yalnızca JTAG üzerinden geçici olarak yüklenmekle kalmaz, aynı zamanda flash belleğe yazılarak karta her enerji verildiğinde FPGA yongası programlanabilir.

QSPI Flash bellek, FPGA yongasının konfigürasyon amacıyla ayrılmış özel pinlerine bağlıdır. Belleğe ait donanım bağlantısı ve ilgili hatlar şematik üzerinde gösterilmektedir.



Şekil 6- 1: TRUE-ARTDAC7 QSPI Flash Bağlantı Yapısı

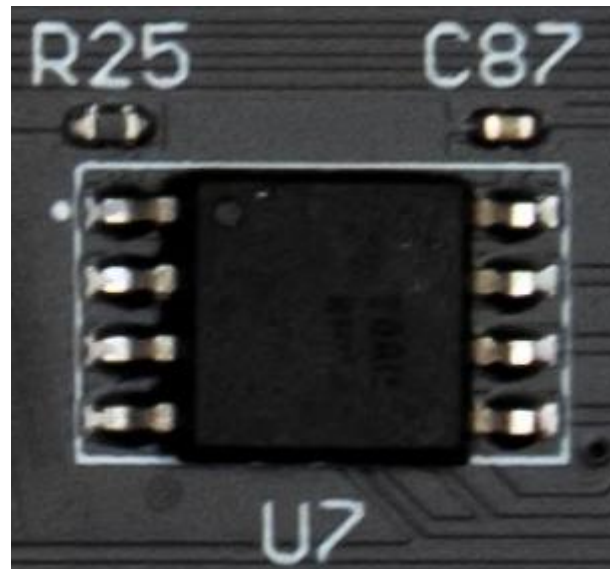
FLASH



Şekil 6- 2: TRUE-ARTDAC7 QSPI FLASH Şematik Bağlantısı

Tablo 6- 1: QSPI Flash Pin Ataması

QSPI Pin Adı	FPGA Pin Adı	FPGA Pin
FLASH_CS	IO_L6P_T0_FCS_B_14	L12
FLASH_CLK	CCLK_0	E8
FLASH_DQ0	IO_L1P_T0_D00_MOSI_14	J13
FLASH_DQ1	IO_L1N_T0_D01_DIN_14	J14
FLASH_DQ2	IO_L2P_T0_D02_14	K15
FLASH_DQ3	IO_L2N_T0_D03_14	K16



Şekil 6- 3: Kart Üzerinde Bulunan QSPI FLASH

7. USB-JTAG / USB-UART Arayüzü

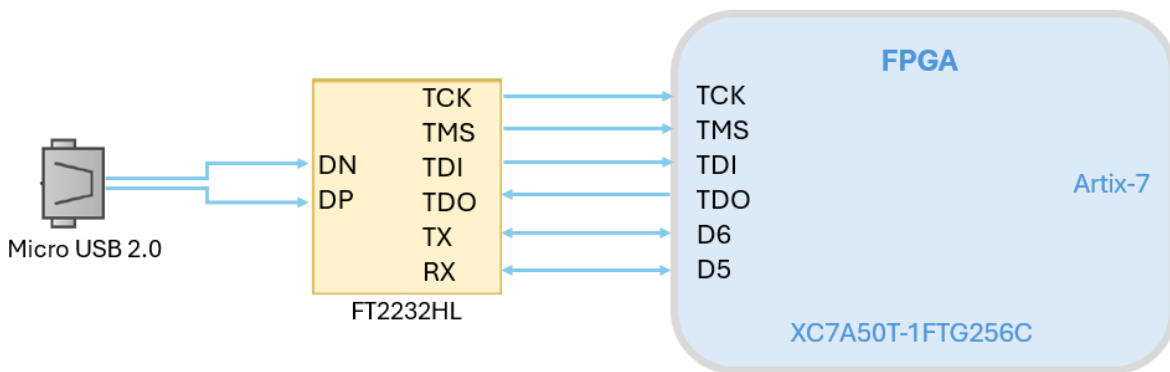
TRUE-ARTDAC7 FPGA geliştirme kartı üzerinde, programlama ve haberleşme işlemlerini gerçekleştirmek amacıyla FT2232HL-REEL USB köprü entegresi kullanılmaktadır. Bu yapı sayesinde kullanıcılar, harici bir programlayıcıya ihtiyaç duymadan yalnızca USB bağlantısı üzerinden kart ile iletişim kurabilir.

FT2232HL-REEL entegresi, kart üzerinde iki temel işlevi yerine getirmektedir. Bunlardan ilki, FPGA yongasının JTAG programlama ve hata ayıklama sinyallerinin taşınmasıdır. Bu sayede Vivado gibi geliştirme ortamları üzerinden FPGA yongasına doğrudan bitstream yüklenebilir ve donanım geliştirme süreçleri kolaylaştırılır. JTAG arayüzünde kullanılan temel sinyaller TCK, TMS, TDI ve TDO hatlarıdır.

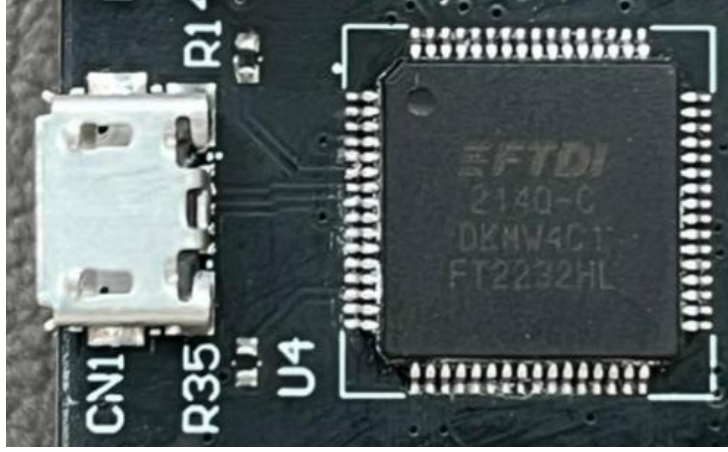
Entegrenin ikinci işlevi ise USB-UART haberleşme yapısını sağlamaktır. Bu sayede bilgisayar ile FPGA yongasının arasında seri haberleşme gerçekleştirilebilir. UART arayüzü üzerinden gönderilen ve alınan veriler, tasarım içinde uygun TX/RX bağlantıları ile kullanıcı uygulamalarında kullanılabilir. Bu yapı; veri gönderme, hata mesajlarının izlenmesi ve haberleşme uygulamalarının geliştirilmesi açısından önemli kolaylık sağlar.

Kart üzerinde bulunan USB-JTAG ve USB-UART işlevleri aynı entegre üzerinden sağlanmakla birlikte birbirinden bağımsız olarak çalışmaktadır. Böylece kullanıcı, tek bir USB bağlantısı üzerinden hem FPGA programlama işlemlerini gerçekleştirebilir hem de UART haberleşmesini kullanabilir.

TRUE-ARTDAC7 kartında FT2232HL-REEL entegresine ait donanım bağlantısı ve ilgili sinyal yapısı şematik üzerinde gösterilmektedir.



Şekil 7- 1: TRUE-ARTDAC7 FT2232HL Bağlantı Yapısı



Şekil 7- 2: Kart Üzerinde Bulunan FTDI

Tablo 7- 1: JTAG/USB-UART Pin Ataması

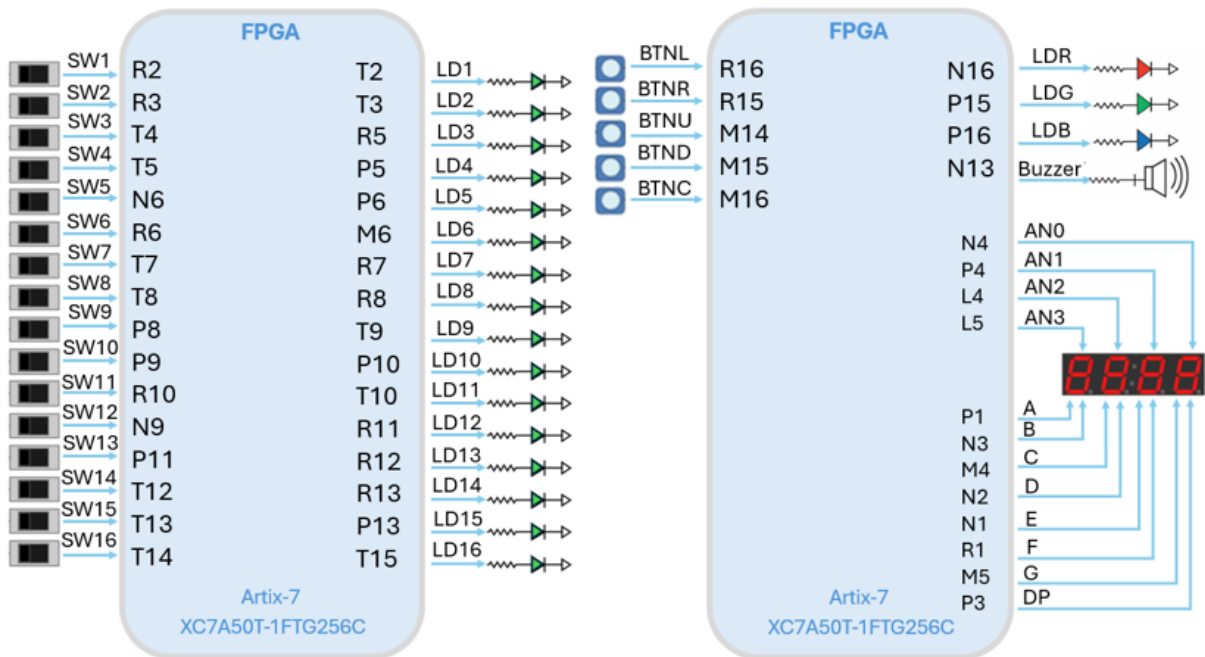
FTDI Pin Adı	FPGA Pin Adı	FPGA Pin
TCK	TCK_0	L7
TMS	TMS_0	M7
TDI	TDI_0	N7
TDO	TDO_0	N8
UART_TXD_IN	IO_L6P_T0_35	D6
UART_RXD_OUT	IO_L6N_T0_VREF_35	D5

8. Kullanıcı Giriş/Çıkış Birimleri

TRUE-ARTDAC7 FPGA geliştirme kartı, temel dijital tasarım uygulamalarının ek donanıma ihtiyaç duyulmadan gerçekleştirilebilmesi için çeşitli kullanıcı giriş/çıkış birimleri ile donatılmıştır. Kart üzerinde 16 adet switch, 16 adet kullanıcı LED'i, 5 adet push buton, 1 adet RGB LED, 1 adet buzzer ve 4 haneli 7-segment gösterge bulunmaktadır.

Bu çevre birimleri, FPGA tabanlı tasarımlarda giriş okuma, çıkış sürme, durum gösterimi, kullanıcı etkileşimi, sesli uyarı ve sayısal veri görüntüleme gibi temel işlevlerin doğrudan kart üzerinde gerçekleştirilmesine imkân sağlar. Böylece kullanıcılar; mantık devreleri, sayaç uygulamaları, kronometre, durum makineleri, PWM tabanlı kontrol yapıları ve çeşitli doğrulama senaryolarını hızlı bir şekilde geliştirebilir ve test edebilir.

Kart üzerindeki kullanıcı giriş/çıkış birimlerinin FPGA yongası ile olan bağlantıları aşağıdaki görsellerde gösterilmiştir.



Şekil 8- 1: TRUE-ARTDAC7 Kartı Üzerinde Bulunan Temel Kullanıcı Giriş/Çıkış Bağlantı Yapısı

Tablo 8- 1: Kullanıcı Giriş-Çıkış Birimleri Pin Atama Tablosu

Sinyal İsmi	FPGA Pin İsmi	Pin Ptaması
SW1	IO_L7P_T1_34	R2
SW2	IO_L8P_T1_34	R3
SW3	IO_L9P_T1_DQS_34	T4
SW4	IO_L23N_T3_A02_D18_14	T5
SW5	IO_L19N_T3_A09_D25_VREF_14	N6
SW6	IO_L24P_T3_A01_D17_14	R6
SW7	IO_L21P_T3_DQS_14	T7
SW8	IO_L21N_T3_DQS_A06_D22_14	T8
SW9	IO_L20P_T3_A08_D24_14	P8
SW10	IO_L18N_T2_A11_D27_14	P9
SW11	IO_L17P_T2_A14_D30_14	R10
SW12	IO_L18P_T2_A12_D28_14	N9
SW13	IO_L14N_T2_SRCC_14	P11
SW14	IO_L15N_T2_DQS_DOUT_CSO_B_14	T12
SW15	IO_L16N_T2_A15_D31_14	T13
SW16	IO_L10P_T1_D14_14	T14
LD1	IO_L8N_T1_34	T2
LD2	IO_L9N_T1_DQS_34	T3
LD3	IO_L23P_T3_A03_D19_14	R5
LD4	IO_L10P_T1_34	P5
LD5	IO_25_14	P6
LD6	IO_L19P_T3_A10_D26_14	M6
LD7	IO_L24N_T3_A00_D16_14	R7
LD8	IO_L20N_T3_A07_D23_14	R8
LD9	IO_L22P_T3_A05_D21_14	T9
LD10	IO_L14P_T2_SRCC_14	P10
LD11	IO_L22N_T3_A04_D20_14	T10
LD12	IO_L17N_T2_A13_D29_14	R11

LD13	IO_L15P_T2_DQS_RDWR_B_14	R12
LD14	IO_L16P_T2_CSI_B_14	R13
LD15	IO_L11N_T1_SRCC_14	P13
LD16	IO_L10N_T1_D15_14	T15
BTNL	IO_L9N_T1_DQS_D13_14	R16
BTNR	IO_L9P_T1_DQS_14	R15
BTNU	IO_L4N_T0_D05_14	M14
BTND	IO_L3N_T0_DQS_EMCCLK_14	M15
BTNC	IO_L7P_T1_D09_14	M16
LDR	IO_L7N_T1_D10_14	N16
LDG	IO_L8P_T1_D11_14	P15
LDB	IO_L8N_T1_D12_14	P16
Buzzer	IO_L11P_T1_SRCC_14	N13
AN0	IO_L6N_T0_VREF_34	N4
AN1	IO_L5P_T0_34	P4
AN2	IO_L1P_T0_34	L4
AN3	IO_0_34	L5
7SEG_A	IO_L4N_T0_34	P1
7SEG_B	IO_L3P_T0_DQS_34	N3
7SEG_C	IO_L1N_T0_34	M4
7SEG_D	IO_L3N_T0_DQS_34	N2
7SEG_E	IO_L4P_T0_34	N1
7SEG_F	IO_L7N_T1_34	R1
7SEG_G	IO_L6P_T0_34	M5
DP (Nokta)	IO_L5N_T0_34	P3

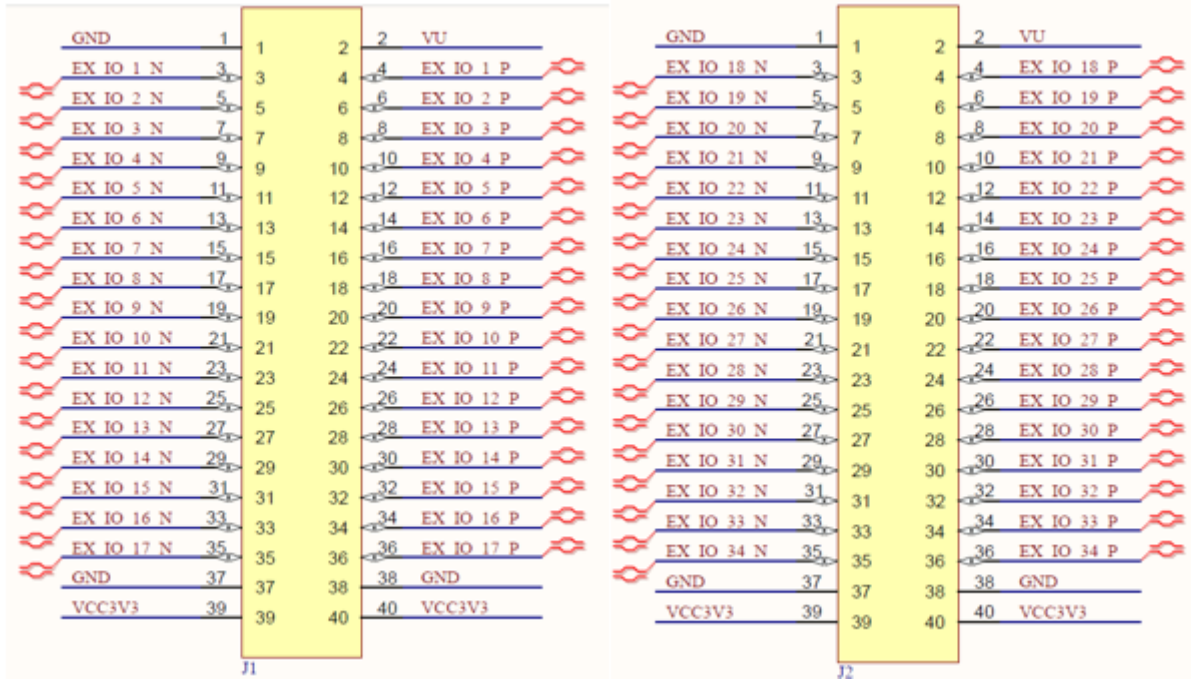
9. DAC Arayüz Başlıkları ve Genişleme Yapısı

TRUE-ARTDAC7 FPGA geliştirme kartı üzerinde, harici DAC modülleri ve benzeri genişleme kartlarının bağlanabilmesi amacıyla J1 ve J2 olmak üzere iki adet pin header ayrılmıştır. Bu başlıklar, kullanıcıya kart üzerindeki FPGA I/O hatlarına doğrudan erişim sağlayarak farklı modül ve çevre birimlerinin sisteme entegre edilmesine imkân tanımaktadır.

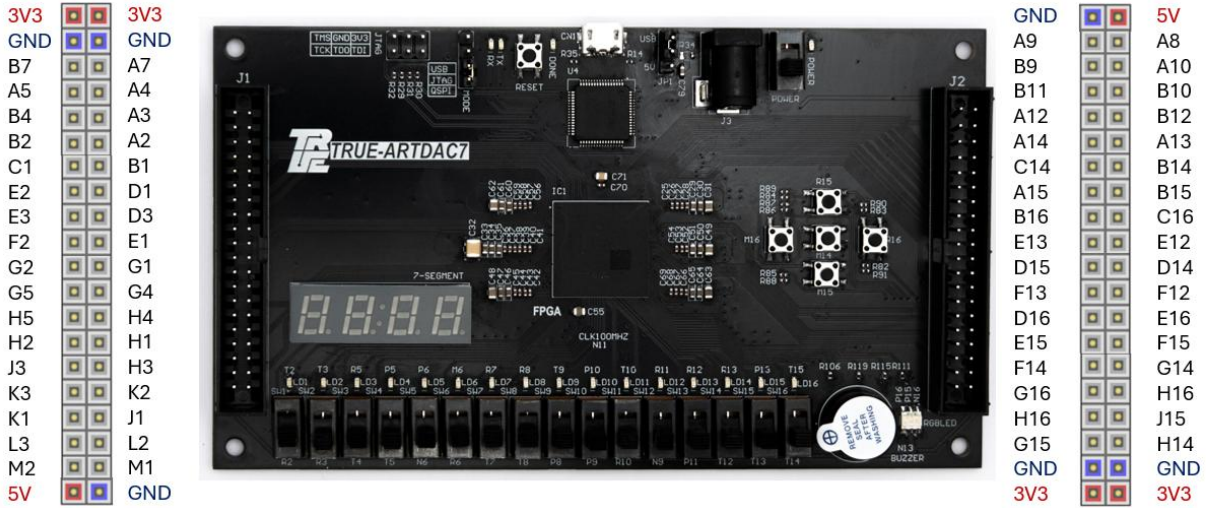
J1 ve J2 başlıkları, 2x20 yapısında, 2.54 mm çift sıralı konektör olarak tasarlanmıştır. Her iki başlık üzerinde güç ve toprak hatlarının yanı sıra FPGA yongasına bağlı kullanıcı giriş/çıkış pinleri yer almaktadır. Bu yapı sayesinde kart, yalnızca temel eğitim ve test uygulamaları için değil, aynı zamanda DAC/ADC modülleri ve özel amaçlı harici kartlarla kullanılacak esnek bir geliştirme platformu sunmaktadır.

Kart üzerindeki DAC arayüz başlıklarında bulunan I/O hatları 3.3 V lojik seviyesinde çalışmaktadır. Başlıklar üzerinde ayrıca 5 V besleme hattı (VU), 3.3 V besleme hatları ve GND pinleri de kullanıcıya sunulmaktadır. Bu yapı, harici modüllerin beslenmesi ve sinyal bağlantılarının düzenli şekilde yapılabilmesi açısından pratik bir kullanım sağlamaktadır.

J1 ve J2 başlıklarına ait şematik bağlantılar ile fiziksel pin yerleşimi aşağıdaki şekillerde gösterilmektedir.



Şekil 9- 1: TRUE-ARTDAC7 DAC Pin Header Şematik Bağlantıları



Şekil 9- 2: TRUE-ARTDAC7 DAC Pin Header Pin Atamaları

Tablo 9- 1: J1 Pin Atama Tablosu

J1 PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ptaması
PIN1	GND	-	-
PIN2	+5V	-	-
PIN3	EX_IO_1N	IO_L2N_T0_34	M1
PIN4	EX_IO_1P	IO_L2P_T0_34	M2
PIN5	EX_IO_2N	IO_L23N_T3_35	L2
PIN6	EX_IO_2P	IO_L23P_T3_35	L3
PIN7	EX_IO_3N	O_L22N_T3_35	J1
PIN8	EX_IO_3P	O_L22P_T3_35	K1
PIN9	EX_IO_4N	IO_L24N_T3_35	K2
PIN10	EX_IO_4P	IO_L24P_T3_35	K3
PIN11	EX_IO_5N	IO_L21N_T3_DQS_35	H3
PIN12	EX_IO_5P	IO_L21P_T3_DQS_35	J3
PIN13	EX_IO_6N	IO_L20N_T3_35	H1
PIN14	EX_IO_6P	IO_L20P_T3_35	H2
PIN15	EX_IO_7N	IO_L18N_T2_35	H4
PIN16	EX_IO_7P	IO_L18P_T2_35	H5
PIN17	EX_IO_8N	IO_L16N_T2_35	G4
PIN18	EX_IO_8P	IO_L16P_T2_35	G5
PIN19	EX_IO_9N	IO_L17N_T2_35	G1
PIN20	EX_IO_9P	IO_L17P_T2_35	G2
PIN21	EX_IO_10N	IO_L15N_T2_DQS_35	E1
PIN22	EX_IO_10P	IO_L15P_T2_DQS_35	F2
PIN23	EX_IO_11N	IO_L11N_T1_SRCC_35	D3
PIN24	EX_IO_11P	IO_L11P_T1_SRCC_35	E3
PIN25	EX_IO_12N	IO_L10N_T1_AD15N_35	D1
PIN26	EX_IO_12P	IO_L10P_T1_AD15N_35	E2
PIN27	EX_IO_13N	IO_L9N_T1_DQS_AD7N_35	B1
PIN28	EX_IO_13P	IO_L9P_T1_DQS_AD7N_35	C1

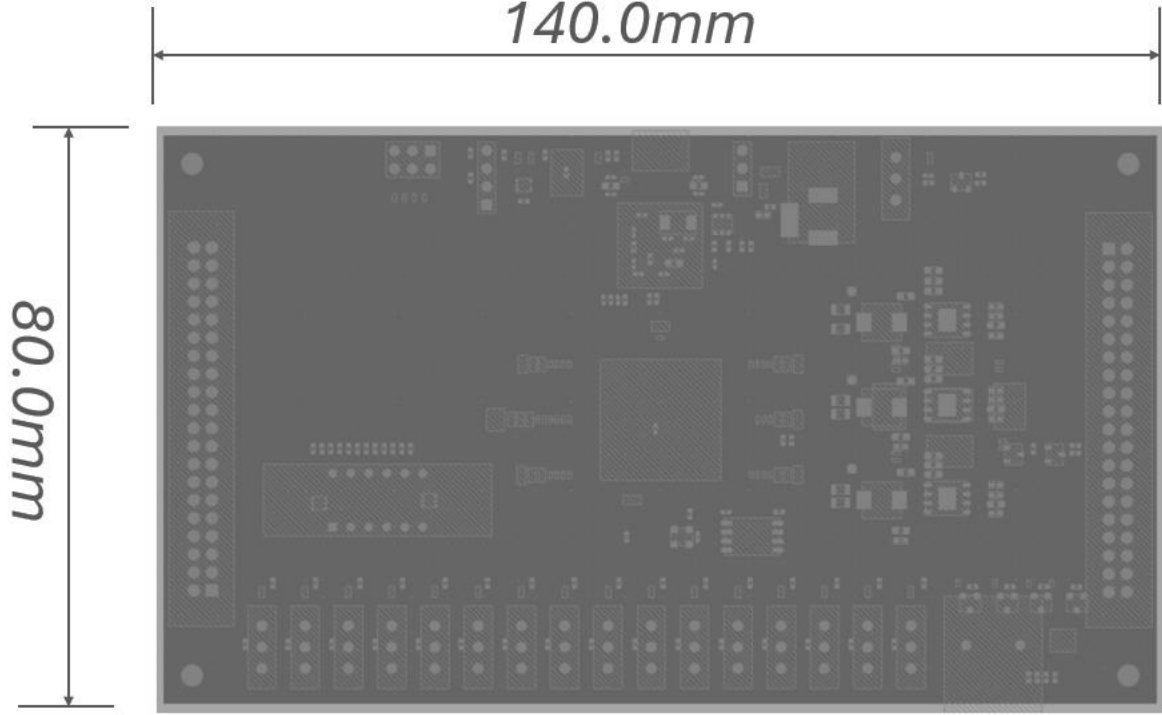
PIN29	EX_IO_14N	IO_L8N_T1_AD14N_35	A2
PIN30	EX_IO_14P	IO_L8P_T1_AD14N_35	B2
PIN31	EX_IO_15N	IO_L4N_T0_35	A3
PIN32	EX_IO_15P	IO_L4P_T0_35	B4
PIN33	EX_IO_16N	IO_L3N_T0_DQS_AD5N_35	A4
PIN34	EX_IO_16P	IO_L3N_T0_DQS_AD5P_35	A5
PIN35	EX_IO_17N	IO_L1N_T0_AD4N_35	A7
PIN36	EX_IO_17P	IO_L1N_T0_AD4P_35	B7
PIN37	GND	-	-
PIN38	GND	-	-
PIN39	+3.3V	-	-
PIN40	+3.3V	-	-

Tablo 9- 2: J2 Pin Atama Tablosu

J1 PIN	Sinyal İsmi	FPGA Pin İsmi	Pin Ptaması
PIN1	GND	-	-
PIN2	+5V	-	-
PIN3	EX_IO_18N	IO_L2N_T0_AD8N_15	A9
PIN4	EX_IO_18P	IO_L2N_T0_AD8P_15	A8
PIN5	EX_IO_19N	IO_L3P_T0_DQS_AD1P_15	B9
PIN6	EX_IO_19P	IO_L3P_T0_DQS_AD1N_15	A10
PIN7	EX_IO_20N	IO_L4N_T0_15	B11
PIN8	EX_IO_20P	IO_L4P_T0_15	B10
PIN9	EX_IO_21N	IO_L5P_T0_AD9N_15	A12
PIN10	EX_IO_21P	IO_L5P_T0_AD9P_15	B12
PIN11	EX_IO_22N	IO_L7N_T1_AD2N_15	A14
PIN12	EX_IO_22P	IO_L7N_T1_AD2P_15	A13
PIN13	EX_IO_23N	IO_L8N_T1_AD10N_15	C14
PIN14	EX_IO_23P	IO_L8N_T1_AD10P_15	B14
PIN15	EX_IO_24N	IO_L9N_T1_DQS_AD3N_15	A15

PIN16	EX_IO_24P	IO_L9N_T1_DQS_AD3P_15	H5
PIN17	EX_IO_25N	IO_L10N_T1_AD11N_15	B16
PIN18	EX_IO_25P	IO_L10N_T1_AD11P_15	C16
PIN19	EX_IO_26N	IO_L13N_T2_MRCC_15	E13
PIN20	EX_IO_26P	IO_L13P_T2_MRCC_15	E12
PIN21	EX_IO_27N	IO_L15N_T2_DQS_ADV_B_15	D15
PIN22	EX_IO_27P	IO_L15P_T2_DQS_ADV_B_15	D14
PIN23	EX_IO_28N	IO_L16N_T2_A27_15	F13
PIN24	EX_IO_28P	IO_L16P_T2_A27_15	F12
PIN25	EX_IO_29N	IO_L17N_T2_A25_15	D16
PIN26	EX_IO_29P	IO_L17P_T2_A25_15	E16
PIN27	EX_IO_30N	IO_L18N_T2_A23_15	E15
PIN28	EX_IO_30P	IO_L18P_T2_A23_15	F15
PIN29	EX_IO_31N	IO_L21N_T3_DQS_A18_15	F14
PIN30	EX_IO_31P	IO_L21P_T3_DQS_A18_15	G14
PIN31	EX_IO_32N	IO_L22N_T3_A16_15	G16
PIN32	EX_IO_32P	IO_L22P_T3_A16_15	H16
PIN33	EX_IO_33N	IO_L23N_T3_FWE_B_15	J16
PIN34	EX_IO_33P	IO_L23P_T3_FWE_B_15	J15
PIN35	EX_IO_34N	IO_L24N_T3_RS0_15	G15
PIN36	EX_IO_34P	IO_L24P_T3_RS0_15	H14
PIN37	GND	-	-
PIN38	GND	-	-
PIN39	+3.3V	-	-
PIN40	+3.3V	-	-

10. Yapı Şeması



Şekil 10- 1: TRUE-ARTDAC7 kartı Boyutsal Üst Görünüşü